

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

14375899

Basic Patent (No,Kind,Date): JP 10125927 A2 19980515 <No. of Patents: 008  
>

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE** (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; OTANI HISASHI; KOYAMA JUN; FUKUNAGA  
KENJI

IPC: #H01L-029/786; H01L-021/336

CA Abstract No: #129(04)048422Y; 129(04)048422Y

Derwent WPI Acc No: #G 98-339499; G 98-339499

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CN 1200577	A	19981202	CN 97122885	A	19971015	
CN 1261727	A	20000802	CN 99124856	A	19991115	
CN 1272683	A	20001108	CN 99124857	A	19991115	
JP 10125927	A2	19980515	JP 96294419	A	19961015	(BASIC)
JP 10135469	A2	19980522	JP 96301250	A	19961024	
US 20020100937	AA	20020801	US 24850	A	20011219	
US 6365933	BA	20020402	US 951819	A	19971014	
TW 451284	B	20010821	TW 86114475	A	19971003	

Priority Data (No,Kind,Date):

JP 96294419 A 19961015

JP 96301250 A 19961024

US 24850 A 20011219

US 951819 A1 19971014

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135469

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 8 G

21/20

21/20

21/336

29/78

6 1 6 A

6 1 6 S

審査請求 未請求 請求項の数23 F D (全 25 頁)

(21) 出願番号

特願平8-301250

(22) 出願日

平成8年(1996)10月24日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

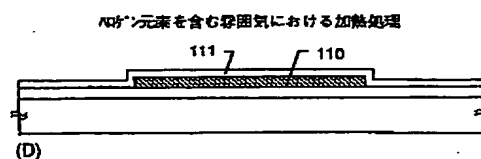
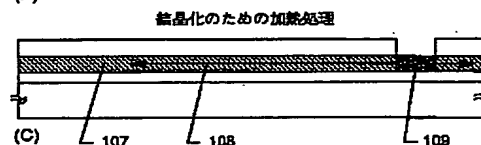
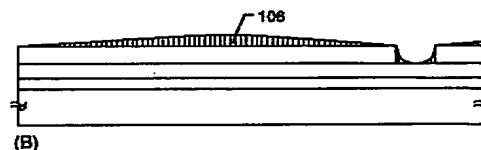
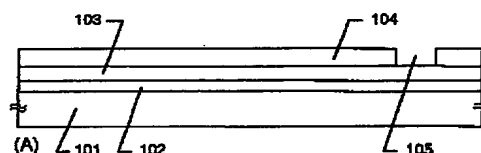
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【目的】 MOSFETに匹敵する性能を有した半導体装置を提供する。

【構成】 結晶化を助長する金属元素を利用して結晶化した結晶性珪素膜107で活性層を形成し、さらにハロゲン元素を含む雰囲気中における加熱処理を行って前記金属元素のゲッタリング除去を行なう。この処理を経た活性層110は針状または柱状結晶が複数集合した結晶構造体で構成される。この結晶構造体を利用して作製された半導体装置は極めて高い性能を有する。



## 【特許請求の範囲】

【請求項1】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有する絶縁ゲイト型の半導体装置であつて、

前記活性層中には結晶化を助長する金属元素が  $1 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$  の濃度で存在し、

電気特性を表すS値の標準偏差がNチャネル型で10mV/dec以内および／またはPチャネル型で15mV/dec以内に収まることを特徴とする半導体装置。

【請求項2】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有する絶縁ゲイト型の半導体装置であつて、

前記活性層中には結晶化を助長する金属元素が  $1 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$  の濃度で存在し、

電気特性を表すS値がNチャネル型で  $80 \pm 30 \text{mV/dec}$  以内および／またはPチャネル型で  $80 \pm 45 \text{mV/dec}$  以内に収まることを特徴とする半導体装置。

【請求項3】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有した構造でなり、

前記活性層中には結晶化を助長する金属元素が  $1 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$  の濃度で存在し、かつ、電気特性

を表すS値の標準偏差がNチャネル型で10mV/dec以内および／またはPチャネル型で15mV/dec以内に収まる絶縁ゲイト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項4】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有した構造でなり、

前記活性層中には結晶化を助長する金属元素が  $1 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$  の濃度で存在し、かつ、電気特性

を表すS値がNチャネル型で  $80 \pm 30 \text{mV/dec}$  以内および／またはPチャネル型で  $80 \pm 45 \text{mV/dec}$  以内に収まる絶縁ゲイト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4において、前記ゲイト絶縁膜は気相法により成膜した酸化膜と前記活性層を熱酸化して得られた熱酸化膜とで構成されることを特徴とする半導体装置。

【請求項6】請求項5において、前記熱酸化膜中には前

記気相法により成膜した酸化膜中よりも高濃度に結晶化を助長する金属元素が存在していることを特徴とする半導体装置。

【請求項7】請求項1乃至請求項4において、前記活性層は前記基体と概略平行な針状または柱状結晶が集合して構成される結晶構造体であつて、

前記針状または柱状結晶は概略一方に揃って延在し、かつ、その方向性がチャネル方向に対して特定の角度を有する様に制御されていることを特徴とする半導体装置。

【請求項8】請求項1乃至請求項4において、前記活性層は前記基体と概略平行な針状または柱状結晶が集合して構成される結晶構造体であつて、

前記針状または柱状結晶は概略一方に揃って延在し、かつ、その方向性がチャネル方向と概略一致する様に制御されていることを特徴とする半導体装置。

【請求項9】絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、

前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、

前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、

第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、

前記マスク絶縁膜を除去する工程と、

パターンニングにより前記結晶性珪素膜のみで構成される活性層を形成する工程と、

前記活性層上にゲイト絶縁膜を成膜する工程と、

ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に前記活性層と前記ゲイト絶縁膜との界面に熱酸化膜を形成する工程と、

窒素雰囲気中における第3の加熱処理により前記熱酸化膜を含めた前記ゲイト絶縁膜の膜質および界面の状態を改善する工程と、

を少なくとも経て作製され、

前記活性層は結晶粒界が概略一方に揃い、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置。

【請求項10】請求項9において、第1の加熱処理は450～700℃の温度範囲で行われ、第2または第3の加熱処理は700℃を越える温度範囲で行われることを特徴とする半導体装置。

【請求項11】請求項9において、前記活性層中には結晶化を助長する金属元素が  $1 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$  の濃度で存在し、かつ、電気特性を表すS値の標準偏差がNチャネル型で10mV/dec以内および／またはPチャネル型で15mV/dec以内に収まることを特徴とする半導体装置。

【請求項12】請求項9において、前記活性層中には結晶化を助長する金属元素が  $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度で存在し、かつ、電気特性を表すS値がNチャネル型で  $80 \pm 30 \text{ mV/dec}$  以内および／またはPチャネル型で  $80 \pm 45 \text{ mV/dec}$  以内に収まることを特徴とする半導体装置。

【請求項13】請求項1乃至請求項4または請求項7乃至請求項9において、前記活性層のチャネル形成領域の長さは  $0.01 \sim 2 \text{ } \mu\text{m}$  であることを特徴とする半導体装置。

【請求項14】請求項1乃至請求項4または請求項7乃至請求項9において、前記活性層中にはCl、F、Brから選ばれた一種または複数種類の元素が  $1 \times 10^{15} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  の濃度で存在することを特徴とする半導体装置。

【請求項15】請求項1乃至請求項4または請求項7乃至請求項9において、前記活性層中にはCl、F、Brから選ばれた一種または複数種類の元素が含まれ、前記元素は前記活性層と前記ゲート絶縁膜との界面に高濃度に分布することを特徴とする半導体装置。

【請求項16】請求項1乃至請求項4または請求項6または請求項9において、前記結晶化を助長する金属元素とはFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素であることを特徴とする半導体装置。

【請求項17】請求項1乃至請求項4または請求項9において、前記結晶性珪素膜は減圧熱CVD法により成膜した非晶質珪素膜を結晶化して得られることを特徴とする半導体装置。

【請求項18】半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、パターンニングにより前記結晶性珪素膜のみで構成される活性層を形成する工程と、前記活性層上にゲート絶縁膜を成膜する工程と、ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に前記活性層と前記ゲート絶縁膜との界面に熱酸化膜を形成する工程と、窒素雰囲気中における第3の加熱処理により前記熱酸化膜を含めた前記ゲート絶縁膜の膜質および界面の状態を改善する工程と、

を少なくとも有し、

前記活性層は結晶粒界が概略一方向に揃い、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置の作製方法。

【請求項19】半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、パターンニングにより前記結晶性珪素膜のみで構成される活性層を形成する工程と、ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に熱酸化膜のみで構成されるゲート絶縁膜を形成する工程と、窒素雰囲気中における第3の加熱処理により前記ゲート絶縁膜の膜質および界面の状態を改善する工程と、を少なくとも有し、前記活性層は結晶粒界が概略一方向に揃い、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置の作製方法。

【請求項20】請求項18または請求項19において、前記非晶質珪素膜の成膜方法は減圧熱CVD法によることを特徴とする半導体装置の作製方法。

【請求項21】請求項18または請求項19において、結晶化を助長する金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられることを特徴とする半導体装置の作製方法。

【請求項22】請求項18または請求項19において、ハロゲン元素を含む雰囲気は酸素雰囲気中にHCl、HF、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、NF<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub>を含む化合物から選ばれた一種または複数種類のガスが添加されたものであることを特徴とする半導体装置の作製方法。

【請求項23】請求項18または請求項19において、第1の加熱処理は450～700℃の温度範囲で行われ、第2または第3の加熱処理は700℃を越える温度範囲で行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本明細書で開示する発明は、

絶縁表面を有する基体上に形成された半導体薄膜を活性層とする半導体装置に関する。特に、結晶性珪素膜で活性層を構成した薄膜トランジスタに関する。

#### 【0002】

【従来の技術】近年、絶縁表面を有する基体上に形成された半導体薄膜（厚さ数百～数千Å程度）を用いて薄膜トランジスタ（TFET）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路（プロセッサ回路やメモリ回路など）等のあらゆる電気回路にTFETを応用する試みがなされている。

【0004】現状においては、活性層として非晶質珪素膜（アモルファスシリコン膜）を用いたTFETが実用化されているが、駆動回路やロジック回路などの様に、さらなる高速動作性能を求められる電気回路には、結晶性珪素膜（ポリシリコン膜）を利用したTFETが必要とされる。

【0005】基体上に結晶性珪素膜を形成する方法としては、本出願人による特開平6-232059号公報、特開平6-244103号公報に記載された技術が公知である。この公報に記載されている技術は、珪素の結晶化を助長する金属元素（特にニッケル）を利用することにより、500～600℃、4時間程度の加熱処理によって結晶性の優れた結晶性珪素膜を形成することを可能とするものである。

【0006】また、特開平7-321339に記載された技術は上記技術を応用して基体に概略平行な結晶成長を行わずものであり、発明者らは形成された結晶化領域を特に横成長領域（またはラテラル成長領域）と呼んでいる。

【0007】しかし、この様なTFETを用いて駆動回路を構成してもまだまだ要求される性能を完全に満たすには及ばない。特に、高速動作と高耐圧特性を同時に実現する極めて高性能な電気特性を要求される高速ロジック回路を、従来のTFETで構成することは不可能なのが現状である。

#### 【0008】

【発明が解決しようとする課題】以上の様に、電気光学装置等の高性能化を図るためには単結晶シリコンウエハを用いて形成されたMOSFETに匹敵する性能を有するTFETを実現しなくてはならない。

【0009】そこで本明細書で開示する発明は、電気光学装置のさらなる高性能化を実現するためのブレイクスルーとなる、極めて高性能な薄膜半導体装置およびその作製方法を提供することを課題とする。

#### 【0010】

【課題を解決するための手段】従来の方法では上述の様

な高性能なTFETを得ることができなかった理由として、結晶粒界においてキャリア（電子または正孔）が捕獲がされ、TFET特性を示すパラメータの一つである電界効果移動度の向上が妨げられていたことが考えられる。

【0011】例えば、結晶粒界にはシリコン原子の不對結合手（ダングリングボンド）や欠陥（捕獲）準位が多数存在している。従って、個々の結晶内部を移動するキャリアは結晶粒界に接近もしくは接触すると容易に不對結合手や欠陥準位等にトラップされるため、結晶粒界はキャリアの移動を阻害する「悪性の結晶粒界」として振る舞っていたと考えられる。

【0012】本発明の半導体装置を実現するには、この様な「悪性の結晶粒界」を構造変化させ、キャリアにとって「良性の結晶粒界」に変成させるための技術が不可欠である。即ち、少なくともキャリアを捕獲する確率が小さく、キャリアの移動を妨げる可能性の小さい結晶粒界を形成することが重要であると言える。

【0013】そのために本明細書で開示する発明の構成は、半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、パターニングにより前記結晶性珪素膜のみで構成される活性層を形成する工程と、前記活性層上にゲイト絶縁膜を成膜する工程と、ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に前記活性層と前記ゲイト絶縁膜との界面に熱酸化膜を形成する工程と、窒素雰囲気中における第3の加熱処理により前記熱酸化膜を含めた前記ゲイト絶縁膜の膜質および界面の状態を改善する工程と、を少なくとも有し、前記活性層は結晶粒界が概略一方に揃い、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする。

【0014】以上の構成に従った作製方法で結晶性珪素膜を形成すると、図9に示す様な外観の薄膜が得られる。図9は非晶質珪素膜の結晶化手段として特開平7-321339号公報記載の技術を用いて本発明を実施した場合の拡大顕微鏡写真であり、長さ数十～百数十μmにも及ぶ横成長領域901が形成される。

【0015】なお、この横成長領域901は針状または柱状結晶が結晶化を助長する金属元素を添加した領域（902で示される）に対してほぼ垂直に、かつ、互いに概略平行に結晶成長していくため、結晶方向が揃っているという特徴がある。また、903で示されるのは向かい合った添加領域902から延びてきた針状または柱

状結晶がぶつかり合って形成された巨視的な結晶粒界（針状または柱状結晶間の結晶粒界とは区別する）である。

【0016】さらに、図9に示す横成長領域の内部に着目して、結晶粒内部をさらに微細領域まで拡大したTEM写真が図10である。

【0017】即ち、本発明の結晶性珪素膜は巨視的には図9の様に大きな横成長領域901で構成される様に見えるが、実は横成長領域901を微視的に観察すると、図10に示す様に針状または柱状結晶1001が複数集合して構成される様な結晶構造体となっている。

【0018】また、図10において1002で示されるのが針状または柱状結晶同士の境界を示す結晶粒界であり、結晶粒界1002の延びる方向から、針状または柱状結晶1001が互いに概略平行な方向に結晶成長したことが確認できる。なお、本明細書中における結晶粒界とは断りがない限り針状または柱状結晶同士の境界を指す。

【0019】また、本発明の半導体装置は、ハロゲン元素を含む雰囲気による加熱処理によって結晶化を助長する金属元素（ニッケルを主例とする）がゲッターリング除去され、 $5 \times 10^{17} \text{atoms/cm}^3$ 以上の濃度で残留していたニッケルが $1 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$ （好ましくは活性層中のスピン密度以下）に低減されている。

【0020】勿論、汚染等により混入した（意図的に添加しない）他の金属元素（Cu、Al等）も同様にゲッターリング除去されていると考えられる。

【0021】また、この時、シリコン原子の不對結合手は加熱処理の間に酸素と結合して酸化物（酸化珪素）を形成すると予想される。その結果、「悪性の結晶粒界」であった領域には酸化珪素が形成され、実質的に酸化珪素が結晶粒界として機能する構成になると考えられる。

【0022】この様にして形成された結晶粒界1002は、酸化珪素と結晶珪素との界面が格子欠陥を殆ど含まない整合性に優れた状態になると推測される。これは、熱酸化により酸化珪素が形成される過程と、ニッケルの触媒作用によりシリコン原子同士あるいはシリコン原子と酸素原子との再結合が促進される過程との相乗効果によって欠陥の原因となる格子間シリコン原子が消費されるからである。

【0023】即ち、図10において1002で示される結晶粒界は、キャリアを捕獲する様な欠陥が殆どなく、針状または柱状結晶内部を移動するキャリアにとって、単にエネルギー的な障壁としてのみ機能する「良性的結晶粒界」として振る舞うと考えられる。

【0024】また、この様な結晶粒界は優先的に熱酸化反応が進行するので熱酸化膜が他の領域よりも厚く形成される。そのため、結晶粒界近傍に印加されるゲート電圧が見かけ上小さくなることもエネルギー的な障壁になりうると推測される。

【0025】また、この加熱処理は700℃を超える（代表的には800～1100℃）比較的高い温度で行われるため、針状または柱状結晶の内部に存在する転位や積層欠陥といった結晶欠陥がほぼ消滅してしまう。さらに、残存したシリコン原子の不對結合手は膜中に含まれる水素やハロゲン元素によって終端される。

【0026】従って本発明者らは、以上の様にして得られる図10に示す状態において、複数の針状または柱状結晶の内部の領域を「キャリアにとって実質的に単結晶と見なせる領域」として定義している。

【0027】「キャリアにとって実質的に単結晶と見なせる」とは、キャリアが移動するに際してキャリアの移動を妨げる障壁がないことを意味しており、結晶欠陥や粒界がないこと、エネルギー的に障壁となるポテンシャルバリアが存在しないことなどと言い換えられる。

【0028】本発明は上記のような構成でなる結晶性珪素膜を利用してTFTに代表される半導体装置の活性層を構成し、駆動回路やロジック回路を構成するに足る高性能な半導体装置を実現するものである。

【0029】以上のような本発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。

#### 【0030】

##### 【実施例】

【実施例1】本実施例では本発明の作製方法に従って形成した結晶性珪素膜を、薄膜トランジスタ（TFT）の活性層として利用した例を示す。図1に示すのはTFTの作製工程の一実施例である。

【0031】なお、本実施例で利用する非晶質珪素膜の結晶化手段は、特開平7-321339号公報に記載された技術である。従って、本実施例ではその概略を記載するに止めるので詳細は前記公報を参照すると良い。

【0032】まず絶縁表面を有する基体101を用意する。本実施例では石英基板上に下地膜として酸化珪素膜102を2000Åの厚さに成膜する。酸化珪素膜102の成膜方法としては減圧熱CVD法、プラズマCVD法、スパッタ法などを用いれば良い。

【0033】なお、後に非晶質珪素膜を結晶化する際、下地膜が緻密である方が得られる結晶性珪素膜の結晶性が良いことが本発明者らの研究により判っている。また、膜中に $5 \times 10^{17} \sim 2 \times 10^{19} \text{atoms/cm}^3$ の酸素が含まれると好ましい。膜中に含まれた酸素は後の結晶化を助長する金属元素のゲッターリング処理の際に重要な役割を果たす。

【0034】次に、非晶質珪素膜103を200～1000Å（本実施例では350Å）の厚さに減圧熱CVD法によって成膜する。成膜ガスとしてはシラン系ガス（ $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{Si}_3\text{H}_8$ 等）を用いれば良い。なお、減圧熱CVD法により成膜した非晶質珪素膜は後の結晶化の際に自然核発生率が小さい。この事は個々の結晶が相互干渉する

(ぶつかりあって成長が止まる) 割合が減るため、横成長幅を大きくする上で望ましい。

【0035】勿論、非晶質珪素膜103の成膜方法として、プラズマCVD法、スパッタ法等を用いることも可能である。

【0036】次に、500～1200Åの厚さの酸化珪素膜104をプラズマCVD法またはスパッタ法により成膜し、後に結晶化を助長する金属元素を導入する領域のみを選択的にエッチング除去する。即ち、この酸化珪素膜104は非晶質珪素膜103に対してニッケルを選択的に導入するためのマスク絶縁膜として機能する。

【0037】酸化珪素膜104によって露呈される領域105は、紙面に垂直な方向に長手方向を有するスリット状に形成されている。(図1(A))

【0038】次に、酸素雰囲気中においてUV光を照射し、領域105によって露呈した非晶質珪素膜103の表面に極薄い酸化膜(図示せず)を形成する。この酸化膜は、後に結晶化を助長する金属元素を導入する際の溶液塗布工程で溶液の濡れ性を改善するためのものである。

【0039】なお、結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられるが、本実施例ではNi(ニッケル)を例にとって説明する。

【0040】次に、所定の濃度(本実施例では重量換算で100ppm)でニッケルを含有したニッケル硝酸塩溶液(またはニッケル酢酸塩溶液)を滴下し、スピコート法によりニッケルを含有した薄い水膜106を形成する。非晶質珪素膜中に添加するニッケル濃度は溶液塗布工程においてニッケル塩溶液の濃度を調節することで容易に制御することができる。(図1(B))

【0041】次に、不活性雰囲気中において450℃、1時間程度の水素出しを行った後、500～700℃、代表的には550～600℃の温度で4～8時間の加熱処理(第1の加熱処理)を加えて非晶質珪素膜103の結晶化を行う。こうして結晶性珪素膜107が得られる。(図1(C))

【0042】この時、結晶成長は針状または柱状結晶が基板に概略平行な方向に進行する。本実施例の場合は、105で示される領域が図面の手前方向から奥手方向に長手方向を有するスリット状となっているので、矢印108で示されるように結晶成長は概略一方向に向かって進行する。この時、結晶成長は数百μm以上に渡って行わすことができる。

【0043】なお、109で示されるのはニッケル添加領域であり、横成長領域107に比べて高い濃度でニッケルを含有している。添加領域109は結晶核が過度に密集して結晶成長するため結晶性はあまり良くない。従って、後に形成する活性層は添加領域109を除いた領

域で構成される。

【0044】次に、結晶化のための加熱処理が終了したら、ニッケルを選択的に添加するためのマスク絶縁膜となった酸化珪素膜104を除去する。この工程はバッファードフッ酸等により容易に行なわれる。

【0045】なお、後のハロゲン元素を含む雰囲気中での加熱処理の前および/または後に結晶性珪素膜107に対してエキシマレーザーによるレーザーアニールを施しても構わない。ただし、レーザー照射により結晶性珪素膜の結晶性は改善しうるが、珪素膜表面に凹凸が形成されやすいので注意が必要である。

【0046】次に、得られた結晶性珪素膜107をパターンニングして後にTFTの活性層として機能する活性層110を形成する。なお、本発明では活性層の配置が重要である。その事については後述する。

【0047】活性層110を形成したら、活性層110上に酸化珪素膜であるゲイト絶縁膜111を200～1500Å(本実施例では300Å)の厚さに成膜する。ゲイト絶縁膜111の成膜方法は、プラズマCVD法、熱CVD法、スパッタ法等の気相法を用いれば良い。

【0048】また、酸化珪素膜の代わりに窒化珪素膜や酸化窒化珪素膜を用いたり、それらの絶縁膜を積層して用いても構わない。

【0049】次に、ハロゲン元素を含む雰囲気において加熱処理(第2の加熱処理)を行う。この加熱処理はハロゲン元素による金属元素のゲッタリング効果を利用して、活性層110中の金属元素(特にニッケル)を除去することを第1に狙ったものである。(図1(D))

【0050】このゲッタリングのための加熱処理は、その効果を得るために700℃を越える温度で行なうことが重要である。それ以下の温度ではゲイト絶縁膜111がブロッキング層となって十分なゲッタリング効果を得られない恐れがある。

【0051】そのため、この加熱処理の温度範囲は700℃を超える温度で行い、好ましくは800～1000℃(代表的には950℃)とし、処理時間は0.1～6時間、代表的には0.5～1時間とする。

【0052】なお、本実施例では、酸素(O<sub>2</sub>)雰囲気中に対して塩化水素(HCl)を0.5～10体積%の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行う。なお、HCl濃度を上記濃度以上とすると、結晶性珪素膜の膜表面に膜厚と同程度の凹凸が生じてしまうため好ましくない。

【0053】また、本実施例ではハロゲン元素を含む化合物としてHClガスをを用いる例を示したが、それ以外のガスとして、HF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub>等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。また、一般にハロゲンの水素化物または有機物(炭水素化物)を用いることもできる。

【0054】この工程においては針状または柱状結晶の結晶粒界に偏析したニッケルがハロゲン元素（ここでは塩素）の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されることが考えられる。

【0055】従って、活性層110中のニッケルはデバイス特性に影響を与えない程度（ $1 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>3</sup>、好ましくは活性層中のスピン密度以下）にまで低減されることがSIMS分析により確認されている。なお、下限の $1 \times 10^{16}$  atoms/cm<sup>3</sup>という値はSIMSの検出下限界である。また、本明細書における不純物濃度はSIMS分析で得られた計測値の最小値をもって定義される。

【0056】なお、本発明者らの知見では結晶化の助長に利用されたニッケルは針状または柱状結晶の結晶粒界に多く偏析する傾向にあり、針状または柱状結晶の内部には実質的には殆ど含まれないと考えられる。

【0057】ところが、現状のSIMS分析では結晶内部と結晶粒界の両方の情報を拾ってしまうので、本明細書中におけるニッケルの濃度は、厳密には結晶内部と結晶粒界とに含まれるニッケル濃度を平均化した平均濃度を意味する。

【0058】また、ゲッターリング工程を行なった場合、結晶性珪素膜中にはゲッターリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>の濃度で残存する。その際、結晶性珪素膜と熱酸化膜との間に高濃度で分布する傾向がある。

【0059】なお、ニッケルは結晶化の際に針状または柱状結晶の結晶粒界へと押し出されて偏析し、ニッケルシリサイドとして存在していたと考えられる。そしてゲッターリングの際に塩化ニッケルとなって離脱し、ニッケルとの結合を切られたシリコンの不對結合手は結晶粒界に多く存在する状態となる。

【0060】しかし上記工程は酸化性雰囲気中において、比較的高い温度で行われるため形成された不對結合手は容易に酸素と結合して酸化物（SiO<sub>x</sub>で表される酸化珪素）を形成すると考えられる。即ち、本発明者らは上記一連の加熱工程によって、結晶性珪素膜は酸化珪素が結晶粒界として機能する様な結晶構造体となると考えている。

【0061】また、残存した不對結合手は活性層110中に含まれる水素やハロゲン元素によって終端されるか、シリコン同士の再結合によって補償され、さらに、転位や積層欠陥といった結晶欠陥はシリコン原子の再結合や再配列によってほぼ消滅してしまうので、針状または柱状結晶の内部の結晶性も著しく改善されることが考えられる。

【0062】従って、活性層110はハロゲン雰囲気での加熱処理によりニッケルがデバイス特性に支障がない程度にまで充分除去され、かつ、活性層110を構成す

る針状または柱状結晶は著しく結晶性が改善されており、キャリアにとって実質的に単結晶と見なせる領域を有した結晶構造体で構成されている。

【0063】また、上記加熱処理により活性層110とゲイト絶縁膜111の界面では熱酸化反応が進行し、約100Åの珪素膜が酸化されて200Åの熱酸化膜が形成される。即ち、ゲイト絶縁膜111の全膜厚はCVD法で成膜した分と熱酸化で形成された分とを合わせて500Åとなる。

【0064】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950℃1時間程度の加熱処理を行なうことで、ゲイト絶縁膜111の膜質の向上と共に、極めて良好な半導体/絶縁膜界面が実現される。

【0065】また、活性層110はドライエッチング法で形成されるが、その時活性層のエッジに残留したプラズマダメージがTFTのリーク電流の原因となる恐れがある。本実施例の場合、活性層110のエッジは熱酸化されるのでプラズマダメージの除去も兼ねている。

【0066】以上の様にして、ゲイト絶縁膜（熱酸化膜）111の形成まで終了したら、次にゲイト電極を構成するためのアルミニウム膜（図示せず）を2500Åの厚さにスパッタ法でもって成膜する。このアルミニウム膜中には、ヒロックやウィスカ防止のためにスカンジウムを0.2重量%含有させる。

【0067】なお、本実施例ではゲイト電極（ゲイト配線を含む）を形成する材料としてアルミニウムを主成分とする材料を用いているが、他にもタングステン、タンタル、モリブデン等を用いることもできる。また、導電性を付与した結晶性珪素膜をゲイト電極として活用しても構わない。

【0068】次に、図1（D）に示す様にアルミニウム膜をパターンニングしてゲイト電極の原型となる島状のアルミニウム膜のパターン112を形成する。なおこの際利用したレジストマスク（図示せず）はそのまま残存させておく。（図2（A））

【0069】そして、アルミニウム膜のパターン112を陽極とした陽極酸化を行う。この技術は公知の陽極酸化技術（例えば特開平7-135318号）を用いる。まず、この陽極酸化工程によって、パターン112の側面には多孔質状の陽極酸化膜113が形成される。本実施例ではこの陽極酸化膜113の膜厚を0.7μmとする。

【0070】図2（B）に示す多孔質状の陽極酸化膜113を形成したら、図示しないレジストマスクを取り除く。そして、再度の陽極酸化を行うことにより、緻密な陽極酸化膜114を形成する。緻密な陽極酸化膜114の膜厚は900Åとする。

【0071】また、以上の工程を経てゲイト電極115が画定する。緻密な陽極酸化膜114は、後の工程においてゲイト電極115の表面を保護したり、ヒロックや



ウィスカーの発生を抑制するために機能する。

【0072】次に、緻密な陽極酸化膜114まで形成したら、この状態においてソース／ドレイン領域を形成するための不純物イオンの注入を行う。Nチャネル型のTFETを作製するならばP（リン）イオンの注入を行い、Pチャネル型のTFETを作製するならばB（ボロン）イオンの注入を行えば良い。

【0073】この工程において、高濃度に不純物が添加されたソース領域116とドレイン領域117が形成される。

【0074】次に、酢酸とリン酸と硝酸とを混合した混酸を用いて、多孔質状の陽極酸化膜113を選択的に除去した後に再度Pイオンのイオン注入を行なう。このイオン注入は、先のソース／ドレイン領域を形成する際よりも低ドーズ量でもって行なわれる。（図2（C））

【0075】すると、ソース領域116、ドレイン領域117と比較して不純物濃度の低い、低濃度不純物領域118、119が形成される。そしてゲート電極115直下の120で示される領域が自己整合的にチャネル形成領域となる。

【0076】なお、チャネル形成領域120とドレイン領域117との間に配置された低濃度不純物領域119は特にLDD（ライトドープドレイン領域）領域と呼ばれ、チャネル形成領域120とドレイン領域117との間に形成される高電界を緩和する効果を有する。

【0077】また、チャネル形成領域120（厳密には針状または柱状結晶の内部）は真性または実質的に真性な領域で構成されている。真性または実質的に真性な領域であるとは、活性化エネルギーがほぼ1/2（フェルミレベルが禁制帯の中央に位置する）であり、かつ、スピン密度よりも不純物濃度が低い領域であること、あるいは意図的にPやBといった不純物を添加しないアンドープ領域であることを意味している。

【0078】さらに、上記の不純物イオンの注入工程の後、レーザー光または赤外光または紫外光の照射を行うことによって、イオン注入が行われた領域のアニールを行う。この処理によって、添加イオンの活性化と、イオン注入時に活性層が受けた損傷の回復が行なわれる。

【0079】また、水素化処理を300～350℃の温度範囲で0.5～1時間行うと効果的である。この工程は活性層からの水素脱離によって生成した不對結合手を再び水素終端するものである。この工程を行なうと活性層中には $1 \times 10^{21} \text{ atoms / cm}^3$ 以下、好ましくは $1 \times 10^{15} \sim 1 \times 10^{21} \text{ atoms / cm}^3$ の濃度で水素が添加される。

【0080】こうして図2（C）に示す状態が得られたら、次に層間絶縁膜121成膜する。層間絶縁膜121は、酸化珪素膜、または窒化珪素膜、または酸化窒化珪素膜、または有機性樹脂膜、またはそれらの膜の積層膜でもって構成される。（図2（D））

【0081】また、有機性樹脂膜であるポリイミドを用

いると、比誘電率が小さいので上下配線間の寄生容量を低減することができる。また、スピンコート法で形成できるので容易に膜厚を稼ぐことができ、スルーホットの向上が図れる。

【0082】次に、層間絶縁膜121コンタクトホール形成を行い、ソース電極122とドレイン電極123とを形成する。さらに350℃の水素雰囲気中において加熱処理を行うことにより、素子全体の水素化を行い、図2（D）に示すTFETが完成する。

【0083】図2（D）に示すTFETは説明のため最も単純な構造となっているが、本実施例の作製工程手順に多少の変更・追加を加えることで適宜所望のTFET構造とすることは容易である。

【0084】ここで、前述の様に活性層110を形成する際に、その配置が重要である理由について説明する。説明は図3を用いて行なう。

【0085】本実施例を実施した場合、針状または柱状結晶が互いに概略平行に成長するため、結晶粒界が一方向に揃っているという特徴がある。また、結晶化を助長する金属元素を選択的に添加することで、針状または柱状結晶が結晶成長する方向を自由に制御することが可能である。この事は非常に重要な意味を持っている。

【0086】ここで絶縁表面を有する基体上に活性層を形成した一実施例を図3に示す。図3に示すのは、アクティブマトリクス型液晶表示装置を作製するにあたって基体301上にマトリクス状に配置された活性層である。

【0087】なお、302の破線で示される領域はニッケルを選択的に導入するための領域が存在した場所である。また、303は横成長領域が互いにぶつかり合って形成された巨視的な粒界が存在した場所である。これらは活性層を形成した後では確認できないため点線で示すことにする。

【0088】また、本実施例で示した手段で結晶化を行なう場合、針状または柱状結晶はニッケル添加領域302に対して概略垂直な方向（図中において矢印で示される方向）に成長する。

【0089】従って、図3の様に島状半導体304を配置することで、チャネル方向と、針状または柱状結晶の結晶粒界とを概略一致する方向に揃えることができる。しかも、ニッケル添加領域302を基板301の端から端まで達する様に設計することで、基板全面において前述の様な構成を実現することが可能である。

【0090】この様な構成とすると、チャネル方向と針状または柱状結晶の並ぶ方向とが一致することになる。即ち、TFETの活性層として機能する際に、チャネル形成領域においてキャリアの移動を妨げるエネルギー障壁が極めて少ないことを意味しており、動作速度のさらなる向上が期待できるのである。

【0091】また、以上のことは、換言すれば針状また

は柱状結晶の方向性をチャネル方向に対して特定の角度を有する様に制御することができることを意味する。図3は特定の角度を $0^\circ$ とした場合に相当する。

【0092】即ち、図3とは別の視点で考えると活性層304を $90^\circ$ 回転させた場合も考えられる。その場合、キャリアの移動度は低下するが、低オフ電流特性、高耐圧特性を期待しうる。

【0093】ここで、本実施例に従って本発明者らが作製した図2(D)に示される半導体装置の電気特性を図4に示す。図4(A)はNチャネル型TFTの電気特性( $I_d$ - $V_g$ 特性)、図4(B)はPチャネル型TFTの電気特性を示している。なお、 $I_d$ - $V_g$ 特性を示すグラフは5点分の測定結果をまとめて表示する。

【0094】横軸の $V_g$ はゲート電圧値、縦軸の $I_D$ はソース/ドレイン間を流れる電流値である。また、401、403で示される $I_d$ - $V_g$ 特性( $I_d$ - $V_g$ 曲線)はドレイン電圧 $V_D=1$ Vの時の特性を示し、402、404

で示される $I_d$ - $V_g$ 特性はドレイン電圧 $V_D=5$ Vの時の特性を示している。また、405、406はドレイン電圧 $V_D=1$ Vの時のリーク電流を示している。

【0095】なお、オフ領域(図4(A)では-1V以下、図4(B)では-1V以上)のドレイン電流( $I_{off}$ )と、オンおよびオフ領域のリーク電流( $I_G$ )は、殆どが $1 \times 10^{-13}$ A(測定下限界)以下であるので、図4

(A)、(B)ではノイズと混同されてしまっている。

【0096】ここで、図4(A)、(B)に示される電気特性から求めた、本発明によるTFTの代表的な特性パラメータを表1、表2に示す。なお、表1はNチャネル型TFTの電気特性(任意の20点測定)の結果であり、表2はPチャネル型TFTの電気特性(任意の20点測定)の結果を示している。

【0097】

【表1】

Nチャネル型TFT測定結果 (SingleGate)

測定点	$I_{on1}$ [uA] ( $V_D=1$ V) ( $V_G=5$ V)	$I_{on2}$ [uA] ( $V_D=5$ V) ( $V_G=5$ V)	$I_{off1}$ [pA] ( $V_D=1$ V) ( $V_G=-6$ V)	$I_{off2}$ [pA] ( $V_D=5$ V) ( $V_G=-1$ V)	$I_{on1off1}$	$I_{on1off2}$	$V_{th}$ [V] ( $V_D=5$ V)	S-value [mV/dec] ( $V_D=1$ V)	$\mu FE$ [cm <sup>2</sup> /Vs] ( $V_D=1$ V) ( $V_G=5$ V) (max)		$I_{G\_on}$ [pA] ( $V_D=1$ V) ( $V_G=5$ V)	$I_{G\_off}$ [pA] ( $V_D=1$ V) ( $V_G=-6$ V)
Point 1	68.51	205.30	1.00	3.30	7.84	7.79	0.08	82.66	160.91	226.64	0.20	-0.40
Point 2	72.80	219.05	0.75	3.85	7.99	7.76	0.12	71.10	171.21	245.00	0.10	-0.05
Point 3	74.35	221.85	0.45	2.65	8.22	7.92	0.05	88.92	170.60	246.84	0.15	-0.15
Point 4	62.61	201.70	0.40	2.15	8.19	7.97	-0.13	79.60	141.63	197.88	-0.05	-0.25
Point 5	48.07	151.25	0.40	1.60	8.08	7.98	0.00	95.12	113.99	153.26	0.10	-0.10
Point 6	74.00	221.70	0.30	2.45	8.39	7.96	0.01	84.31	165.65	245.38	-0.10	-0.30
Point 7	55.30	176.60	0.95	2.85	7.77	7.79	0.05	82.10	137.19	175.19	0.10	-0.15
Point 8	69.90	208.05	0.75	4.35	7.97	7.68	0.11	75.08	165.49	232.56	0.25	0.00
Point 9	60.91	184.95	0.25	1.95	8.39	7.98	0.02	93.08	136.68	202.16	0.05	-0.10
Point 10	60.20	189.65	0.50	2.15	8.08	7.95	0.01	76.93	137.96	199.16	0.30	0.00
Point 11	63.49	195.45	0.40	2.40	8.20	7.91	-0.06	78.77	136.48	210.12	0.00	-0.25
Point 12	63.57	193.45	0.45	2.40	8.15	7.91	-0.05	75.78	140.50	207.06	0.10	-0.60
Point 13	68.51	211.45	0.40	2.85	8.23	7.87	0.01	78.62	160.14	222.11	0.40	-0.55
Point 14	66.78	204.05	0.40	2.10	8.22	7.99	-0.02	74.36	148.21	220.63	0.30	-0.50
Point 15	61.30	185.95	0.45	2.35	8.13	7.90	0.05	81.25	137.90	205.02	0.00	-0.45
Point 16	68.70	208.75	0.35	1.90	8.29	8.04	-0.01	71.23	151.01	227.97	0.15	-0.30
Point 17	68.18	211.50	0.40	1.80	8.23	8.07	-0.08	71.10	148.36	223.84	0.30	-0.60
Point 18	63.92	197.50	0.40	1.65	8.20	8.08	-0.10	75.64	142.34	205.02	0.20	-0.35
Point 19	66.07	201.25	0.60	2.70	8.04	7.87	0.17	87.23	167.03	216.19	0.25	-0.40
Point 20	70.37	210.80	0.80	2.05	8.07	8.01	0.02	79.04	162.28	229.81	0.20	-0.30
平均値	65.97	200.01	0.51	2.47	8.13	7.92	0.01	80.00	149.79	214.69	0.15	-0.29
標準偏差 $\sigma$	6.40	16.87	0.20	0.71	0.16	0.10	0.08	6.78	15.16	23.19	0.13	0.19

【0098】

【表2】

Pチャネル型TFT測定結果 (SingleGate)

測定点	$I_{on\_1}$ [uA] ( $V_D=1$ V) ( $V_G=5$ V)	$I_{on\_2}$ [uA] ( $V_D=5$ V) ( $V_G=5$ V)	$I_{off\_1}$ [pA] ( $V_D=1$ V) ( $V_G=-6$ V)	$I_{off\_2}$ [pA] ( $V_D=5$ V) ( $V_G=-1$ V)	$I_{on}/I_{off1}$	$I_{on}/I_{off2}$	$V_{th}$ [V] ( $V_D=5$ V)	$S$ -value [mV/dec] ( $V_D=1$ V)	$\mu FE$ [ $cm^2/Vs$ ] ( $V_D=1$ V) (max) ( $V_G=5$ V)		$I_{G\_on}$ [pA] ( $V_D=1$ V) ( $V_G=5$ V)	$I_{G\_off}$ [pA] ( $V_D=1$ V) ( $V_G=-6$ V)
Point 1	30.07	88.22	9.25	59.25	6.51	6.06	-1.11	86.55	118.32	119.60	0.10	0.00
Point 2	36.67	86.63	2.60	46.70	7.15	6.27	-0.93	89.24	131.36	137.90	0.05	-0.20
Point 3	36.60	85.97	2.90	73.25	7.10	6.07	-0.95	98.47	133.57	138.47	0.15	-0.10
Point 4	36.63	85.27	3.35	53.60	7.04	6.20	-0.98	87.55	137.19	140.00	0.05	-0.20
Point 5	35.30	79.59	3.25	39.40	7.04	6.31	-1.14	77.67	140.71	142.24	0.10	-0.20
Point 6	35.72	81.38	2.55	30.45	7.15	6.43	-1.08	73.81	141.07	141.78	0.10	-0.05
Point 7	34.37	77.74	5.50	73.60	6.80	6.02	-1.10	82.63	135.15	136.94	-0.05	-0.20
Point 8	40.70	100.42	10.20	107.25	6.60	5.97	-0.77	73.28	131.58	147.90	0.10	0.05
Point 9	40.70	100.61	4.90	45.00	8.92	6.35	-0.76	75.50	131.83	147.14	0.15	-0.25
Point 10	32.89	74.66	5.75	132.05	6.76	5.75	-1.10	84.48	127.76	129.80	0.15	0.05
Point 11	37.07	88.45	4.30	67.45	6.94	6.12	-0.87	76.54	130.05	137.45	0.40	-0.35
Point 12	30.52	68.83	1.65	37.55	7.27	6.26	-1.15	90.61	120.82	122.15	0.50	-0.30
Point 13	35.17	78.92	1.35	55.50	7.42	6.15	-1.15	85.88	143.51	143.82	0.40	-0.40
Point 14	32.07	72.71	1.80	36.40	7.25	6.30	-1.10	86.48	124.39	126.74	0.40	-0.45
Point 15	33.36	75.57	6.60	120.40	6.70	5.80	-1.10	84.30	131.58	132.65	0.40	-0.35
Point 16	32.29	75.10	3.50	47.90	6.96	6.20	-1.01	84.93	122.35	124.64	0.25	-0.35
Point 17	34.26	76.83	4.40	64.35	6.89	6.08	-1.14	83.28	141.58	141.58	0.65	-0.25
Point 18	31.01	69.91	5.40	253.39	6.76	5.44	-1.18	97.07	123.17	125.46	0.25	-0.50
Point 19	36.26	86.80	5.80	52.20	6.80	6.22	-0.89	79.86	126.53	134.64	0.40	-0.25
Point 20	37.60	93.11	2507.90	17345.00	4.18	3.73	-0.80	89.54	125.46	136.94	0.15	-0.30
平均値	34.96	81.34	129.65	937.03	6.81	5.99	-1.02	84.38	130.90	135.39	0.23	-0.23
標準偏差 $\sigma$	3.00	9.49	559.79	3662.36	0.66	0.58	0.14	6.94	7.38	8.24	0.18	0.16

【0099】表1、表2において特に注目すべき点は、サブスレッショルド特性（S値、S-value）が60～100mV/decの間に収まる程小さく、移動度（ $\mu FE$ 、モビリティ）が150～300 $cm^2/Vs$ という様に極めて大きいことである。なお、本明細書中において移動度とは電界効果移動度を意味する。

【0100】これらの測定データは従来のTFTでは達成不可能な値であり、まさに本発明によるTFTが単結晶上に作製したMOSFETに匹敵する極めて高性能なTFTであることを証明している。

【0101】また同時に、本発明によるTFTは非常に劣化に強いことが繰り返し測定による加速劣化試験によって確認されている。経験的には高速動作するTFTは劣化しやすいという欠点を有しているのだが、本発明によるTFTは劣化もなく、極めて高い耐圧特性を有していることが判明している。

【0102】また、表1、表2には参考として平均値および標準偏差（ $\sigma$ 値）も記載する。標準偏差は平均値からの分散（バラツキ）の尺度として用いられる。一般的には測定結果（母集団）が正規分布（ガウシアン分布）に従うとすると、平均値を中心に $\pm 1\sigma$ の内に全体の68.3%、 $\pm 2\sigma$ の内に95.4%、 $\pm 3\sigma$ の内に99.7%が入ることが知られている。

【0103】本発明者らは、本実施例のTFT特性の分散をより正確に評価するため、540個のTFTを測定し、その結果から平均値および標準偏差を求めた。その結果、S値の平均値は80.5mV/dec(n-ch)、80.6mV/dec(p-ch)であり、標準偏差は5.8(n-ch)、11.5(p-ch)であった。また、移動度(max)の平均値は194.0 $cm^2/Vs$ (n-ch)、131.8 $cm^2/Vs$ (p-ch)であり、標準偏差は38.5(n-ch)、10.2(p-ch)であった。

【0104】即ち、本発明を利用したNチャネル型TFT

Tにおいては、以下に示す様なTFT特性を得ることができる。

(1) S値の $\sigma$ 値が10mV/dec以内、好ましくは5mV/dec以内に収まる。

(2) S値が80 $\pm$ 30mV/dec以内、好ましくは80 $\pm$ 15mV/dec以内に収まる。

(3)  $\mu FE$ の $\sigma$ 値が40 $cm^2/Vs$ 以内、好ましくは35 $cm^2/Vs$ 以内に収まる。

【0105】また、本発明を利用したPチャネル型TFTにおいては、以下に示す様なTFT特性を得ることができる。

(1) S値の $\sigma$ 値が15mV/dec以内、好ましくは10mV/dec以内に収まる。

(2) S値が80 $\pm$ 45mV/dec以内、好ましくは80 $\pm$ 30mV/dec以内に収まる。

(3)  $\mu FE$ の $\sigma$ 値が15 $cm^2/Vs$ 以内、好ましくは10 $cm^2/Vs$ 以内に収まる。

【0106】以上の様に、本発明によるTFTは極めて優れた電気特性を実現するものであり、これまで単結晶上に作製したMOSFETのみが使用されていた様な複雑なSRAM回路やDRAM回路等、高速動作を必要とするロジック回路を構成することが可能である。

【0107】また、本実施例ではシングルゲイト構造のTFTの作製工程例のみを記載しているが、ダブルゲイト構造のTFTやそれ以上のゲイト電極を有するマルチゲイト構造のTFTに対しても適用することができる。

【0108】また、本発明は活性層の結晶性を高めることで実現できるものであって、耐熱性が許す限りTFT構造は問わずに実施することができる。

【0109】〔本発明で得られる結晶構造体に関する知見〕本発明によって得られる結晶性珪素膜が図10に示される様な針状または柱状結晶の集合体でなる結晶構造

体であることは既に述べた。ここでは、本発明による結晶構造体と他の方法で形成された結晶構造体との比較を行なう。

【0110】図11に示す写真は、実施例1の手順で非晶質珪素膜の結晶化までを終えた試料のTEM写真である。即ち、ハロゲン元素を含む加熱処理を行なっていない結晶性珪素膜の結晶構造を示している。

【0111】図11において確認できる様に、結晶化直後の針状または柱状結晶の内部には多数の転位欠陥（1101で示される円内）が存在する。しかしながら、図10に示すTEM写真では、結晶内部にその様な転位欠陥は確認されず、きれいな結晶構造となっていることが判る。

【0112】この事は、本発明においてハロゲン元素を含む雰囲気での加熱処理が結晶性の改善に大きく寄与していることの証拠となる。

【0113】また、図12に示す結晶構造体は、非晶質珪素膜の結晶化条件を本発明とは異なるものとした場合の例である。具体的には、窒素雰囲気中で600℃48時間の加熱処理を行うことで非晶質珪素膜を結晶化し、900～1100℃程度の温度で熱酸化処理を施してある。

【0114】以上の様にして形成した結晶性珪素膜は、図12に示す様に個々の結晶粒が大きく、不規則に分布する粒界によって分割された状態となっている。

【0115】図12において、結晶粒1201は不規則な粒界1202によって囲まれた状態となっている。従って、実際に図12に示す結晶構造体をTFTの活性層として利用すると、不規則な粒界1202によって生ずるエネルギー障壁がキャリアの移動を阻害してしまう。

【0116】一方、図10に示す様な結晶構造体は、図10に示す様に、結晶粒界1002がある程度の規則性をもって配列した状態となっている。従って、針状または柱状結晶の内部において、キャリアの移動を阻害するエネルギー障壁はないと考えられる。

【0117】なお、本発明者らが針状または柱状結晶の配列状態を1～5万倍程度の広視野で観察した結果、針状または柱状結晶がジグザグに進行する様な場合があることが確認されている。これは、結晶成長がエネルギー的に安定な方向へ向かうことに起因する現象であり、結晶方向が転換した箇所には一種の粒界が形成されていると推測される。

【0118】しかしながら本発明者らは、針状または柱状結晶の内部に生じうるこの粒界はエネルギー的に不活性な双晶粒界の如きものではないかと推測している。即ち、結晶方向は異なるが、整合性良く連続的に結合した粒界であり、キャリアの移動を妨げる程のエネルギー障壁とならない（実質的に粒界と見なされない）粒界であると考えている。

【0119】以上の様に、一般的なプロセスで結晶化した結晶性珪素膜は図12に示す様な結晶構造を有し、キ

ャリアの移動を遮る様に不規則な粒界が分布するため、高い移動度を達成することが困難である。

【0120】しかしながら、本発明による結晶性珪素膜は図10に示す様な結晶構造を有し、結晶粒界が概略一方向に揃っている上、針状または柱状結晶の内部は実質的にエネルギー障壁となる粒界が存在しないと考えられる。即ち、キャリアは何ら阻害されることなく結晶内部を移動することが可能となるので、極めて高い移動度を達成することができる。

【0121】特に、本発明により得られる針状または柱状結晶の注目すべき点は、凹凸や応力等に起因する歪みを避けながら（結晶方向を変えながら）数十～数百μmもの距離を連続的に成長していくと考えられる点である。

【0122】本発明者らの推測が正しければ、本発明による結晶性珪素膜は結晶内部にキャリアトラップとなりうる粒界を形成しないで成長していく、特殊な結晶の集合体で構成される全く新しい結晶構造体であると言える。

【0123】〔実施例2〕本実施例は実施例1で示したTFTでもってCMOS回路を形成する例である。CMOS回路は実施例1で示した様な構造のNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせて構成される。

【0124】本実施例におけるCMOS回路の作製工程の一実施例を図5、図6を用いて説明する。なお、本発明により形成される結晶性珪素膜の応用範囲は広く、CMOS回路を形成する方法は本実施例に限ったものではない。

【0125】まず実施例1に示す作製手順に従って、石英基板501上に酸化珪素膜502を成膜し、その上に結晶性珪素膜（図示せず）を得る。そしてそれをパターニングすることによりNチャネル型TFTの活性層503とPチャネル型TFTの活性層504とを形成する。

【0126】活性層503、504を形成したらゲイト絶縁膜505を成膜し、さらにハロゲン元素を含む雰囲気における加熱処理を行なう。本実施例では処理条件を実施例1と同じものとする。こうして、活性層503、504は本発明の結晶構造体となり、良好な膜質と界面を有するゲイト絶縁膜505が形成される。

【0127】次に、後にゲイト電極の原型を構成するアルミニウム膜（図示せず）を成膜し、パターニングしてアルミニウム膜のパターン506、507を形成する（パターン形成後もパターニングに使用したレジストマスクは残しておく）。

【0128】こうして図5（A）の状態が得られる。アルミニウム膜のパターン506、507を形成したら、次に、実施例1と同様の条件でもってアルミニウム膜のパターン506、507の側面に多孔質の陽極酸化膜508、509を形成する。本実施例ではこの多孔質の陽

極酸化膜508、509の膜厚を0.5  $\mu\text{m}$ とする。

【0129】さらに、実施例1と同様の条件でもって緻密で強固な陽極酸化膜510、511の形成を行う。ただし、本実施例ではこの膜厚が700  $\text{\AA}$ となる様に到達電圧を調節する。また、この工程によりゲイト電極512、513が画定する。こうして図5(B)の様な状態が得られる。

【0130】図5(B)の状態が得られたら、ゲイト絶縁膜505をドライエッチング法によりエッチングする。このエッチング工程ではゲイト電極512、513および多孔質状の陽極酸化膜508、509がマスクとなって、その直下のみにゲイト絶縁膜が残存する。エッチング後に多孔質状の陽極酸化膜508、509を除去すると図5(C)の状態となる。

【0131】次に、Pチャネル型TFTを覆い隠す様にしてレジストマスク514を形成し、N型を付与する不純物としてP(リン)イオンをドーピングする。このドーピングは、加速電圧50KeV、ドーズ量  $0.1 \sim 5 \times 10^{13} \text{atoms/cm}^2$ 、好ましくは  $0.5 \sim 2 \times 10^{13} \text{atoms/cm}^2$  で行なう。

【0132】このドーピング工程は比較的加速電圧が高いため、Pイオンが露出したゲイト絶縁膜を通過して活性層503へと打ち込まれる。その結果、515、516で示される領域にPイオンが添加される。(図5(C))

【0133】次に、図5(D)に示すように再びPイオンの注入を行う。このPイオンの注入は、加速電圧を5 KeVと低めに設定し、ドーズ量を  $0.1 \sim 1 \times 10^{15} \text{atoms/cm}^2$ 、好ましくは  $2 \sim 5 \times 10^{14} \text{atoms/cm}^2$  とする。この工程の結果、高濃度にPイオンが添加された領域517、518が形成される。

【0134】図5(D)に示す工程が終了した時点でNチャネル型TFTの活性層が完成する。即ち、Nチャネル型TFTのソース領域517、ドレイン領域518、低濃度不純物領域(またはLDD領域)519、520、チャネル形成領域521が画定する。

【0135】次に、図6(A)に示すように左側のNチャネル型TFTを覆うレジストマスク522を形成する。そして、図6(A)に示す状態においてP型を付与する不純物としてB(ボロン)イオンの注入を行う。このBイオンのドーピングもPイオンの場合と同様に2度に分けて行なう。

【0136】1度目のBイオンのドーピングは加速電圧30KeV、ドーズ量を  $0.1 \sim 5 \times 10^{14} \text{atoms/cm}^2$ 、好ましくは  $0.5 \sim 2 \times 10^{14} \text{atoms/cm}^2$  程度とする。この工程により523、524で示される領域にBイオンが添加される。(図6(A))

【0137】2度目のBイオンのドーピングは加速電圧5KeV、ドーズ量を  $0.1 \sim 1 \times 10^{15} \text{atoms/cm}^2$ 、好ましくは  $2 \sim 5 \times 10^{14} \text{atoms/cm}^2$  程度とする。この工程によ

り高濃度にBイオンが添加された領域525、526が形成される。(図6(B))

【0138】以上の工程によりPチャネル型TFTのソース領域525、ドレイン領域526、低濃度不純物領域(またはLDD領域)527、528、チャネル形成領域529が画定する。

【0139】次に、図6(B)に示す工程の終了後、レジストマスク522を取り除き、基板全面にレーザー光または赤外光や紫外光等の強光を照射する。この工程により添加された不純物イオンの活性化と、不純物イオンが注入された領域の損傷の回復が行なわれる。

【0140】次に、層間絶縁膜530を4000 $\text{\AA}$ の厚さに成膜する。層間絶縁膜530は酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、有機性樹脂膜のいずれでも良く、多層構造としても良い。これら絶縁膜の成膜方法は、プラズマCVD法、熱CVD法、スピンコート法を用いればよい。

【0141】次にコンタクトホールの形成を行い、Nチャネル型TFTのソース電極531、Pチャネル型TFTのソース電極532を形成する。また、ドレイン電極533はNチャネル型TFTとPチャネル型TFTとで共有する様な構成とすることでCMOS回路が実現される。(図6(C))

【0142】以上の様な過程を経て、図6(C)に示す構造でなるCMOS回路を作製することができる。CMOS回路は最も単純な構成のインバータ回路であり、CMOSインバータ回路を直列に奇数組接続して形成した閉回路はリングオシレータと呼ばれ、半導体装置の動作速度を評価する際に用いられる。

【0143】ここで図7(A)に示す上面写真は、本実施例に従って作製したCMOS回路を組み合わせて構成したリングオシレータ回路である。本発明者らは本発明を利用して実際にアクティブマトリクス型液晶表示装置を試作し、その駆動回路の動作性能をリングオシレータで確認した。

【0144】なお、図7(A)に示すリングオシレータを構成するCMOS回路のゲイト電極幅は約0.6  $\mu\text{m}$ と細く、チャネル形成領域は通常ならば短チャネル効果が発生する程度にまで微細化されている。

【0145】また、図7(B)には参考としてシフトレジスタ回路の写真を示す。図7(B)に示すシフトレジスタ回路は試作した周辺駆動回路を構成する重要な回路の一つであり、画素領域のアドレスを指定するロジック回路である。特に、水平走査用(ソース側用)シフトレジスタ回路は実動作時に数MHz~数十MHz程度の非常に高い周波数での駆動を要求される。

【0146】リングオシレータ回路の発振周波数は9、19、51組(段)のCMOS回路を接続したリングオシレータで測定した。その結果、電源電圧3~5V、9段のリングオシレータで300MHz以上、中には500M

Hzを超える発振周波数が得られており、極めて動作速度が速いことが判明した。

【0147】これらの値は従来の作製工程で作製したリングオシレータに比べて20倍近い動作速度を有することを意味している。また、1～5Vの範囲で電源電圧を振っても常に数十～数百MHzの発振周波数を実現している。

【0148】以上の様に、本発明を利用したCMOS回路は回路設計上やむを得ず付加価値が加わった状況においても、問題なく高速動作させることが可能であり、あらゆるロジック回路の要求に応える性能を有している。

【0149】さらに、チャンネル長が0.6  $\mu\text{m}$ と極めて微細化されているにも拘わらず、本実施例に示した様な極めて高速な動作にも耐えうる高い耐圧特性をも有していることは、本発明によるTF Tが短チャンネル効果に殆ど影響されず、極めて高い信頼性を有していることを意味している。

【0150】〔本発明の構成から導かれる推察〕実施例1および実施例2で示した様に、本発明に従って作製したTF Tは極めて高い性能（高速動作特性、高耐圧特性）を実現している。また、この様な高速動作特性を有していながら劣化に強いという特徴は、経験的にも特異な現象と言える。そこで、本発明者らは本発明によるTF Tが何故これほどまで耐劣化性に優れているかを考察し、そこから一つの理論を推察したので以下に記載する。

【0151】本発明者らは、本発明によるTF Tの耐圧が高い理由として針状または柱状結晶の結晶粒界の影響を重視した。即ち、本発明者らはチャンネル形成領域に局部的に存在する結晶粒界（酸化物領域と予想される）がソース領域とドレイン領域の間、特にチャンネル形成領域とドレイン領域との間にかかる高電界を効果的に緩和していると推測した。

【0152】具体的には、結晶粒界が特にドレイン領域から広がる空乏層電荷により形成される電界を抑え、ドレイン電圧が高くなった状態（ドレイン側空乏層電荷が増加した状態）においても、ソース側の拡散電位を変化させない様に機能していると考えたのである。

【0153】以上をまとめると、本発明による結晶性珪素膜を活性層に活用した場合、チャンネル形成領域は以下の構成を満たしていると思なせる。

（1）キャリアが移動する（キャリアにとって）実質的に真性な領域（針状または柱状結晶の内部）が存在する。

（2）キャリアの移動を抑制する又はチャンネル方向（ソースドレイン間を結ぶ方向）にかかる電界を緩和するエネルギー障壁が存在する。

【0154】従って、上記2つの構成を満たす、換言すればキャリアにとって実質的に真性なチャンネル形成領域と、局部的に形成されたエネルギー障壁とを有する構成

とすることで本発明が示す様な優れた特性のTF Tを作製しうると考えられる。

【0155】以上の構成は、多少の推測を交えてではあるが、本発明者らの実験データから導かれるものである。そこで、本発明者らはこの構成を人為的に創り出すことで同様の効果を得ることができるのではないかと予想した。

【0156】その結果、本発明者らは短チャンネル効果の抑制に効果的な構成を提案するに至った。ここではその概略について、以下に記載する。なお、以下に記載する考察は現状においては推測の範囲に止まるものである。

【0157】短チャンネル効果とは、しきい値電圧の低下、パンチスルー現象に伴う耐圧の劣化およびサブスレッショルド特性の劣化などの総称である。特に問題となるパンチスルー現象はドレイン側の空乏層がソース領域にまで広がることでソース側の拡散電位が低下し、ソース／ドレイン間に貫通電流が流れる現象である。

【0158】そこで本発明者らは本発明の結晶粒界の効果に注目して、チャンネル長が0.01～2  $\mu\text{m}$ 程度の短チャンネルTF Tにおいては、チャンネル形成領域に対して人為的かつ局部的に不純物領域を設けることで、ドレイン側の空乏層の広がりを抑制する効果が得られると推測した。

【0159】この様な構成は活性層を図8に示す様な構成とすることで達成できると考えられる。図8（A）において、801はソース領域、802はドレイン領域、803はチャンネル形成領域であり、チャンネル形成領域803の中には人為的に不純物領域804が形成される。また、チャンネル形成領域803中、不純物領域804以外の領域805は、実質的に真性な領域であり、キャリアが移動する領域となる。

【0160】ここで図8（A）に示す構造は、図10に示す本発明の結晶構造体を模した構造である点が重要である。即ち、図10の1001で示される結晶粒界は図8（A）の不純物領域804に相当し、図10の針状または柱状結晶は図8（A）のキャリアが移動する領域805に相当するのである。

【0161】従って、チャンネル形成領域803内に配置された不純物領域804はチャンネル形成領域内に局部的にビルトインポテンシャル（エネルギー障壁とも言える）の大きい領域を形成し、そのエネルギー障壁によってドレイン側空乏層の広がりを効果的に抑制すると推測できる。

【0162】また、図8（A）をA-A'で切断した断面図を図8（B）に示す。806は絶縁表面を有する基板である。また、図8（A）をB-B'で切断した断面図を図8（C）に示す。

【0163】なお、図8（C）においてwpi, nは不純物領域804の幅を表し、wpa, mはキャリアが移動する領域の幅を表す。ここでn、mはチャンネル形成領域803

内において、 $w_{pi,n}$ が $n$ 番目の不純物領域の幅であり、 $w_{pa,m}$ が $m$ 番目のキャリアが移動する領域であることを意味している。

【0164】従って、本発明によるTFETの実際の電界効果移動度は次式に示す理論式に実効的なチャンネル幅 $W_{pa}$  ( $w_{pa,m}$ を1～ $m$ まで加えた総和)を代入しなくてはならない。

【0165】

$\mu_{FE} = 1 / C_{ox} (\Delta I_d / \Delta V_g) \cdot 1 / V_d \cdot L / W$   
ここで $C_{ox}$ はゲイト酸化膜容量、 $\Delta I_d$ 、 $\Delta V_g$ はそれぞれドレイン電流 $I_d$ とゲイト電圧 $V_g$ の変化量、 $V_d$ はドレイン電圧、 $L$ 、 $W$ はそれぞれチャンネル長およびチャンネル幅である。

【0166】しかしながら、実効的なチャンネル幅 $W_{pa}$ を測定することは現実的に不可能であるため、本明細書中の電界効果移動度はチャンネル幅の設計値 $W$ を代入して求めている。即ち、実際の移動度よりも小さい値が得られていると考えられる。

【0167】また、不純物領域を図8(A)に示す様な配置で設けることは移動度の向上に対して非常に大きな意味があると予想される。その理由について以下に説明する。

【0168】移動度( $\mu_{FE}$ )は半導体膜(ここでは珪素膜を例にとる)中のキャリアの散乱によって決まるが、珪素膜における散乱は格子散乱と不純物散乱とに大別される。これらが影響し合って形成される全体的な移動度 $\mu$ は次式で表される。

【0169】

【数1】

$$\mu = (1/\mu_l + 1/\mu_i)^{-1}$$

【0170】この数1で示される式は、全体的な移動度 $\mu$ が、格子散乱の影響を受けた場合の移動度 $\mu_l$  ( $l$ はlatticeを意味する)の逆数および不純物散乱の影響を受けた場合の移動度 $\mu_i$  ( $i$ はimpurityを意味する)の逆数の和に反比例することを意味している。また、格子散乱および不純物散乱は各々次式で表される。

【0171】

【数2】

$$\mu_l \propto (m^*)^{-5/2} T^{-3/2}$$

【0172】

【数3】

$$\mu_i \propto (m^*)^{-1/2} N_i T^{-3/2}$$

【0173】これらの式によると、チャンネル形成領域全体に均一に不純物が添加された状態では不純物散乱の影響を受けて移動度を稼ぐことができない。しかしながら、図12に示す構成の場合、局部的に不純物領域を形成しているので、キャリアが移動する領域には不純物が

添加されず、キャリアにとって実質的に真性である。

【0174】即ち、理論的には数3においてイオン化した不純物の濃度 $N_i$ を限りなく0に近づけることを意味するため、移動度 $\mu_i$ は限りなく無限大に近づいていくことになる。即ち、数1において $1/\mu_i$ の項を無視することができる程度にまで不純物を減少させることを意味するので全体の移動度 $\mu$ は限りなく移動度 $\mu_l$ に近づいていくと推測される。

【0175】また、図8(A)において不純物領域804がチャンネル方向と概略平行となる様に配置されていることは重要である。この様な配置は、図10に示した針状または柱状結晶の結晶粒界の延びる方向と、チャンネル方向とが一致した場合に相当する。

【0176】この様な配置とした場合、不純物領域804は「良性の結晶粒界」として振る舞うと予想されるので、キャリアを捕獲することなく、レールの様な役割を果たしてキャリアに移動方向を規定すると推測される。このことは、キャリア同士の衝突による散乱の影響を低減する上で非常に重要な構成である。

【0177】また、以上の様な構成とすることで、短チャンネル効果の一つであるしきい値電圧の低下も抑制できると予想される。これはチャンネル幅が極端に狭くなった時に生じる狭チャンネル効果を、不純物領域間で人為的に引き起こすことが可能であるという推論に基づく予想である。

【0178】また、前述の様にドレイン側空乏層の広がりを抑制することでパンチスルー現象を抑制することが可能と考えられるが、パンチスルー現象を抑制することで耐圧の向上と共にサブスレッショルド特性( $S$ 値)の向上も望める。

【0179】サブスレッショルド特性の向上は、本構成を用いることでドレイン側空乏層の占める体積を減じることができるという推論から以下の様に説明できる。

【0180】図8(A)で示す構成とした時に、効果的に空乏層の広がりが抑制されるならば、ドレイン側空乏層の占める体積を大幅に減じることが可能でなはずである。従って、総合的な空乏層電荷を小さくできるため、空乏層容量を小さくできると考えられる。ここで、 $S$ 値を導出する式は次の近似式で表される。

【0181】

【数4】

$$S \doteq \ln 10 \cdot kT/q [1 + (C_d + C_{it})/C_{ox}]$$

【0182】数4において、 $k$ はボルツマン定数、 $T$ は絶対温度、 $q$ は電荷量、 $C_d$ は空乏層容量、 $C_{it}$ は界面準位の等価容量、 $C_{ox}$ はゲイト酸化膜容量である。従って、本構成では空乏層容量 $C_d$ および界面準位の等価容量 $C_{it}$ を0に可能な限り近づけることで、 $C_d = C_{it} = 0$ となる理想状態、即ち $S$ 値が60mV/decadeとなる半導

体装置を実現できる可能性がある。

【0183】ただし、数4に示される式はS値を導出するための近似式であり、TFTではこの近似式に従わずに60mV/decade以下の測定値が得られることもある。

【0184】ところで、本発明から推測される本構成では、本発明の結晶粒界に相当する不純物領域として酸素以外に窒素や炭素を用いても良い。これは、本構成の目的がチャネル形成領域に対して人為的にエネルギー障壁を配置することにあるからである。

【0185】従って、エネルギー障壁を形成するという観点から考えれば、反転層の導電型と逆の導電型を持つ不純物領域でも効果があると言えよう。即ち、Nチャネル型半導体装置ならばBイオンを、Pチャネル型半導体装置ならばPイオンを用いて不純物領域を形成すれば良いと言える。

【0186】また、不純物領域をPまたはBイオンで構成する場合、添加する不純物イオンの濃度で直接的にしきい値制御を行なうことも可能である。

【0187】以上の様に、本構成は本明細書で開示する発明の構成および実験事実をもとに本発明者らの推測により導かれた技術である。本構成を実施することで、チャネル長が極めて短いディープサブミクロン領域の半導体装置で問題となる短チャネル効果を効果的に抑制することができると推測される。

【0188】〔実施例3〕本実施例では実施例1に示した作製工程とは別の工程例を示す。具体的には活性層を形成する前に、結晶性珪素膜に対してハロゲン元素を含む雰囲気における加熱処理を施し、ニッケルをゲッタリング除去する。

【0189】本実施例に示す工程を実施例1と組み合わせることで活性層中のニッケル濃度をさらに効果的に低減することが可能である。

【0190】また、700℃を超える加熱処理によって結晶性珪素膜の膜厚が減少するため、活性層を薄くする効果もある。膜厚が薄くなると移動度の向上やオフ電流の低減といった効果が期待できる。

【0191】〔実施例4〕本実施例では実施例1に示した作製工程とは別の工程例を示す。具体的には実施例1において、ゲイト絶縁膜111を成膜する工程を省略し、活性層を形成した直後にハロゲン元素を含む雰囲気での加熱処理を施す。

【0192】この時形成された熱酸化膜に対して、実施例1と同様に窒素雰囲気中でアニールすることで膜質を改善することができる。この場合、この様な熱酸化膜のみでゲイト絶縁膜を構成することが可能である。また、熱酸化膜の膜厚は加熱処理の条件を調節することで100～1500Å（代表的には500～1000Å）の範囲で形成できる。

【0193】熱酸化膜のみでゲイト絶縁膜を構成すると高速動作の可能な半導体装置を作製できる点と、ゲイト

絶縁膜の成膜工程を簡略化できる点に特徴がある。ただし、膜厚を均一に形成することが困難な場合が多い。

【0194】また、上記工程で形成された熱酸化膜の上に気相法により絶縁膜を堆積して、それらの積層膜をもってゲイト絶縁膜とすることも可能である。その場合、ゲイト耐圧が向上するが、熱酸化膜と気相法による膜との界面を清浄にしておくことが重要である。

【0195】また、上記工程を金属元素（特にニッケル）の除去工程として見なし、上記工程で形成された熱酸化膜を除去して、再度熱酸化膜を形成してゲイト絶縁膜とすることもできる。また、熱酸化膜を除去した後、活性層上に気相法によってゲイト絶縁膜を形成することもできる。この場合、活性層とゲイト絶縁膜の界面に存在する余計な不純物の濃度を低減することが可能であるが、活性層表面の清浄度に注意しなくてはならない。

【0196】〔実施例5〕本実施例では、本発明を応用して作製したTFTをDRAM（Dynamic Random Access Memory）およびSRAM（Static Random Access Memory）に応用した例について説明する。説明には図13を用いることとする。

【0197】DRAMは記憶する情報を電荷としてコンデンサに蓄える形式のメモリである。コンデンサへの情報としての電荷の出し入れは、コンデンサに直列に接続されたTFTによって制御される。DRAMの1個のメモリセルを構成するTFTとコンデンサの回路を図13（A）に示す。

【0198】ワード線1301によってゲイト信号を与えられると、1303で示されるTFTは導通状態となる。この状態でビット線1302側からコンデンサ1304に電荷が充電されて情報を読み込んだり、充電したコンデンサから電荷を取り出して情報を読みだしたりする。即ち、このコンデンサに蓄積された電荷をTFTにより書き込んだり、読み出したりすることで記憶素子としての機能を有することになる。

【0199】DRAMの特徴は1個のメモリを構成する素子数がTFTとコンデンサだけで非常に少ないので、高集積密度の大規模メモリを構成するのに適している。また、価格も低く抑えられるので、現在最も大量に使用されている。

【0200】また、TFTを用いてDRAMセルを形成した場合の特徴として蓄積容量を小さく設定することができるため、低電圧での動作を可能とすることができる。

【0201】次に、受動負荷素子として高抵抗を用いたSRAM回路を図13（B）に示す。なお、受動負荷素子と同様の機能をTFTで代替するSRAM構造をとることも可能である。

【0202】SRAMはフリップフロップ等の双安定回路を記憶素子に用いたメモリであって、双安定回路のON-OFFあるいはOFF-ONの2安定状態に対応し



て2進情報値(0または1)を記憶するものである。電源の供給がある限り記憶が保持される点で有利である。

【0203】1305で示されるのはワード線であり、1306はビット線である。1307は高抵抗で構成される負荷素子であり、1308で示されるような2組のドライバトランジスタと1309で示されるような2組のアクセストランジスタとでSRAMが構成される。

【0204】以上のような構成でなるSRAMの特徴は、高速動作が可能で、信頼性が高くシステムへの組み込みが容易なことなどである。

【0205】〔実施例6〕本実施例では、実施例1の半導体装置および実施例2のCMOS回路を用いて同一基板上に画素マトリクス回路とロジック回路とを集積化したアクティブマトリクス型電気光学装置を構成する例を示す。電気光学装置としては、液晶表示装置、EL表示装置、EC表示装置などが含まれる。

【0206】なお、ロジック回路とは、周辺駆動回路やコントロール回路等の様に電気光学装置を駆動するための集積化回路を指す。アクティブマトリクス型電気光学装置においては、動作性能の限界や集積度の問題もあってロジック回路は外付けICが一般的であったが、本発明のTFTを用いることで同一基板上に全てを一体化することが可能となる。

【0207】また、コントロール回路とはプロセッサ回路、メモリ回路、クロック発生回路、A/D(D/A)コンバータ回路等の電気光学装置を駆動するに必要な全ての電気回路を含むものとする。勿論、メモリ回路には実施例5、6で示したSRAM回路やDRAM回路が含まれる。

【0208】このような構成に本明細書で開示する発明を利用すると、単結晶上に形成したMOSFETに匹敵する性能を有するTFTでもってロジック回路を構成することができる。

【0209】〔実施例7〕本実施例では実施例1と異なる構造のTFTを作製する例を示す。説明には図14を用いる。

【0210】まず、実施例1と同様の工程を経て図2(B)に示す状態を得る。図2(B)に示す状態を得たら、アルミニウム膜のパターニングに用いた図示しないレジストマスクを除去し、その後、酒石酸中で陽極酸化処理を行い、1000Åの厚さの緻密な陽極酸化膜を得る。この状態を図14(A)に示す。

【0211】図14(A)において、101は石英基板、102は下地膜、110は活性層、111は後にゲイト絶縁膜として機能する熱酸化膜である。また、1401はアルミニウムを主成分とする材料でなるゲイト電極、1402はゲイト電極1401を陽極酸化して得られた緻密な陽極酸化膜である。

【0212】次に、この状態で活性層110に対して一導電性を付与する不純物イオンの注入を行なう。そし

て、このイオン注入工程により不純物領域1403、1404が形成される。

【0213】不純物イオンの注入が終了したら、窒化珪素膜1405を0.5~1μmの厚さに成膜する。成膜方法は減圧熱CVD法、プラズマCVD法、スパッタ法のいずれであっても良い。また、窒化珪素膜以外に酸化珪素膜を用いても良い。

【0214】こうして図14(B)の状態が得られる。図14(B)の状態が得られたら、次に窒化珪素膜1405をエッチバック法によりエッチングして、ゲイト電極1401の側壁にのみ残す。こうして残された窒化珪素膜はサイドウォール1406として機能する。

【0215】この際、熱酸化膜111はゲイト電極がマスクとなった領域以外が除去されて図14(C)に示す様な状態で残存する。

【0216】図14(C)に示す状態で再び不純物イオンの注入を行なう。この時、ドーズ量は先程のイオン注入のドーズ量よりも高めとしておく。このイオン注入の際、サイドウォール1406の直下の領域1407、1408はイオン注入が行なわれないので、不純物イオンの濃度に変化はない。しかし、露出した領域1409、1410はさらに高濃度の不純物イオンが注入されることになる。

【0217】以上の様に2度目のイオン注入を経て、ソース領域1409、ドレイン領域1410およびソース/ドレイン領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)1407、1408が形成される。なお、ゲイト電極1401の直下はアンドープな領域であり、チャンネル形成領域1411となる。

【0218】以上の工程を経て図14(C)の状態が得られたら、300Åの厚さの図示しないチタン膜を成膜し、チタン膜とシリコン(結晶性珪素)膜とを反応させる。そして、チタン膜を除去した後、ランブアニール等による加熱処理を行なうことでソース領域1409、ドレイン領域1410の表面にチタンシリサイド1412、1413を形成する。(図14(D))

【0219】なお、上記工程はチタン膜の代わりにタンタル膜、タングステン膜、モリブデン膜等を用いることも可能である。

【0220】次に、層間絶縁膜1414として酸化珪素膜を5000Åの厚さに成膜し、ソース電極1415、ドレイン電極1416を形成する。こうして図14(D)に示す構造のTFTが完成する。

【0221】本実施例で示す構造のTFTは、ソース/ドレイン電極がチタンシリサイド1412、1413を介してソース/ドレイン領域と接続するので良好なオーミックコンタクトを実現できる。

【0222】〔実施例8〕本実施例では実施例1または実施例7と異なる構造のTFTを作製する例を示す。説明には図15を用いる。

【0223】まず、実施例1と同様の工程を経て図2 (B) に示す状態を得る。ただし、本実施例ではゲイト電極の材料として導電性を付与した結晶性珪素膜を用いることとする。この状態を図15 (A) に示す。

【0224】図15 (A) において、101は石英基板、102は下地膜、110は活性層、111は後にゲイト絶縁膜として機能する熱酸化膜である。また、1501は結晶性珪素膜（ポリシリコン膜）でなるゲイト電極である。

【0225】次に、この状態で活性層110に対して一導電性を付与する不純物イオンの注入を行なう。そして、このイオン注入工程により不純物領域1502、1503が形成される。（図15 (B)）

【0226】不純物イオンの注入が終了したら、実施例7と同様にエッチバック法を用いてサイドウォール1504を形成する。

【0227】そして、サイドウォール1504を形成したら、再び不純物イオンの注入を行なう。以上の2度のイオン注入を経て、ソース領域1507、ドレイン領域1508、低濃度不純物領域（LDD領域）1505、1506、チャネル形成領域1509が形成される。

【0228】以上の工程を経て図15 (C) の状態が得られたら、500 Åの厚さの図示しないタングステン膜を成膜し、タングステン膜とシリコン膜とを反応させる。そして、タングステン膜を除去した後、ランプアニール等による加熱処理を行なうことでゲイト電極1501、ソース領域1507、ドレイン領域1508、の表面にタングステンシリサイド1510～1512を形成する。（図15 (D)）

【0229】次に、層間絶縁膜1513として窒化珪素膜を4000 Åの厚さに成膜し、ソース電極1514、ドレイン電極1515を形成する。こうして図15 (D) に示す構造のTFTが完成する。

【0230】本実施例で示す構造のTFTは、ゲイト電極およびソース／ドレイン電極がタングステンシリサイド1510～1512を介して取り出し電極と接続するので良好なオーミックコンタクトを実現できる。

【0231】〔実施例9〕本実施例では本発明を利用した半導体装置を組み込んだ電気光学装置（表示装置）の一例を示す。なお、電気光学装置は必要に応じて直視型または投影型で使用するれば良い。また、電気光学装置も半導体を用いて機能する装置と考えられるので、本明細書中における電気光学装置とは、半導体装置の範疇に含まれるものとする。

【0232】また、本発明を利用した半導体装置の応用製品としてはTVカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクション（フロント型とリア型がある）、ビデオカメラ、パーソナルコンピュータ等が挙げられる。それら応用用途の簡単な一例を図16を用いて行う。

【0233】図16 (A) はTVカメラであり、本体2001、カメラ部2002、表示装置2003、操作スイッチ2004で構成される。表示装置2003はビューファインダーとして利用される。

【0234】図16 (B) はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。表示装置2102は比較的小型のサイズのものが2枚使用される。

【0235】図16 (C) はカーナビゲーションであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。表示装置2202はモニターとして利用されるが、地図の表示が主な目的なので解像度の許容範囲は比較的大いと言える。

【0236】図16 (D) は携帯情報端末機器（本実施例では携帯電話）であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作ボタン2305、アンテナ2306で構成される。表示装置2303に対しては、将来的にTV電話として動画表示を要求されることが予想される。

【0237】図16 (E) はビデオカメラであり、本体2401、表示装置2402、接眼部2403、操作スイッチ2404、テープホルダー2405で構成される。表示装置2402に映し出された撮影画像は接眼部2403を通してリアルタイムに見ることができるので、使用者は画像を見ながらの撮影が可能となる。

【0238】図16 (F) はフロントプロジェクションであり、本体2501、光源2502、反射型表示装置2503、光学系（ビームスプリッターや偏光子等が含まれる）2504、スクリーン2505で構成される。スクリーン2505は会議や学会発表などのプレゼンテーションに利用される大画面スクリーンであるので、表示装置2503は高い解像度が要求される。

【0239】また、本実施例に示した電気光学装置以外にも、リアプロジェクションやモバイルコンピュータ、ハンディターミナルなどの携帯型情報端末機器に適用することができる。以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【0240】また、本発明のTFTは電気光学装置に限らず、例えばSRAMやDRAMといった形で集積化回路に組み込み、本実施例で示した様な応用製品の駆動回路として用いることも可能である。

【0241】

【発明の効果】本明細書で開示する発明によれば、単結晶シリコン上に作製したMOSFETに匹敵する高い性能を有したTFTを実現することができる。また、本発明のTFTで構成したリングオシレータは従来のTFTで構成されたリングオシレータに比べて20倍の高速動作が可能である。

【0242】さらに、この様な高い特性を有しているに

も拘わらずチャネル長が $1\mu\text{m}$ 以下という微細領域においても極めて高い耐圧特性を有しており、短チャネル効果が効果的に抑制されていることが確認できる。

【0243】以上の様なTFTを用いて構成される集積化回路を電気光学装置に適用することで、電気光学装置のさらなる高性能化が実現できる。また、電気光学装置を応用した応用製品も高性能、高付加価値化することができる。

#### 【図面の簡単な説明】

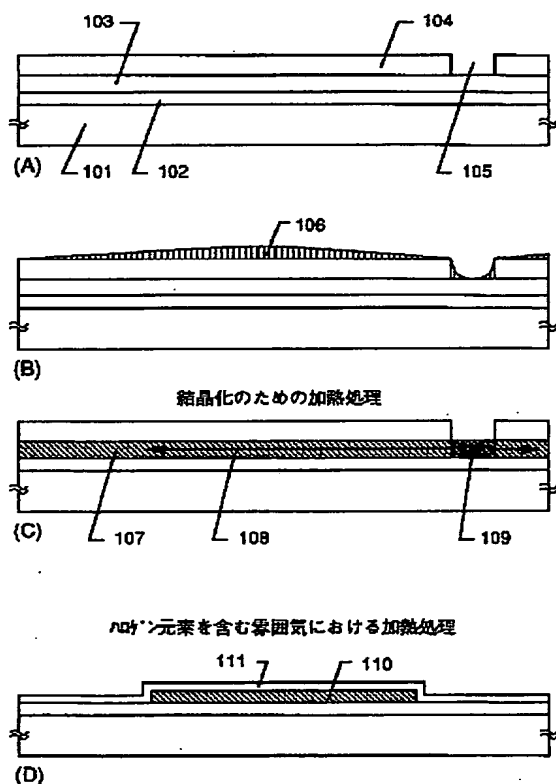
- 【図1】 半導体装置の作製工程を示す図。
- 【図2】 半導体装置の作製工程を示す図。
- 【図3】 活性層の配置構成を示す図。
- 【図4】 半導体装置の特性を示す図。
- 【図5】 半導体装置野作製工程を示す図。
- 【図6】 半導体装置の作製工程を示す図。
- 【図7】 電気回路の構成を示す写真。
- 【図8】 活性層の構成を示す図。
- 【図9】 結晶性珪素膜の表面を示す写真。

- 【図10】 結晶構造を示す写真。
- 【図11】 結晶構造を示す写真。
- 【図12】 結晶構造を示す写真。
- 【図13】 DRAM、SRAMの構成を示す図
- 【図14】 半導体装置の作製工程を示す図。
- 【図15】 半導体装置の作製工程を示す図。
- 【図16】 半導体装置の応用例を示す図。

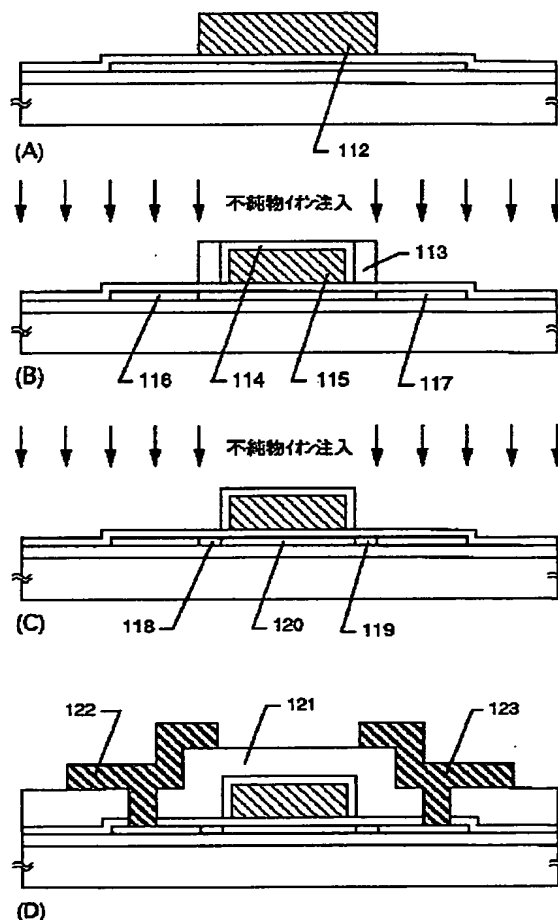
#### 【符号の説明】

- 103 非晶質珪素膜
- 104 酸化珪素膜（マスク絶縁膜）
- 105 非晶質珪素膜が露呈した領域
- 106 ニッケルを含有した水膜
- 107 結晶性珪素膜
- 108 結晶化の方向を示す矢印
- 109 ニッケル添加領域
- 110 活性層
- 111 熱酸化膜

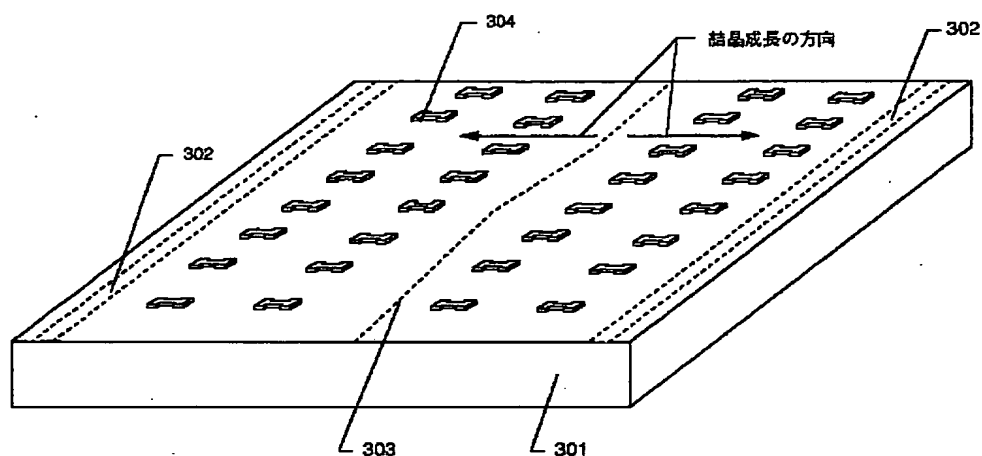
【図1】



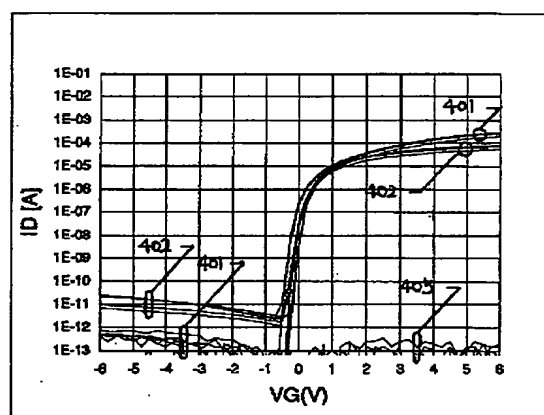
【図2】



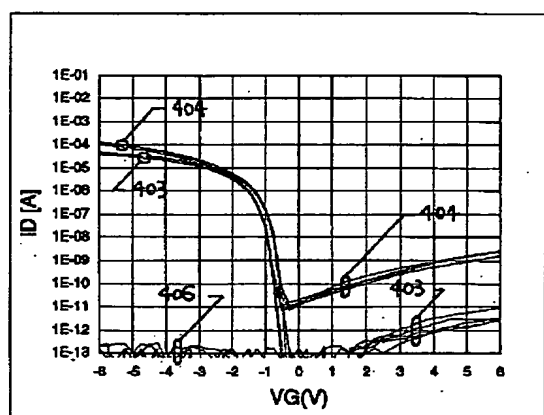
【図3】



【図4】

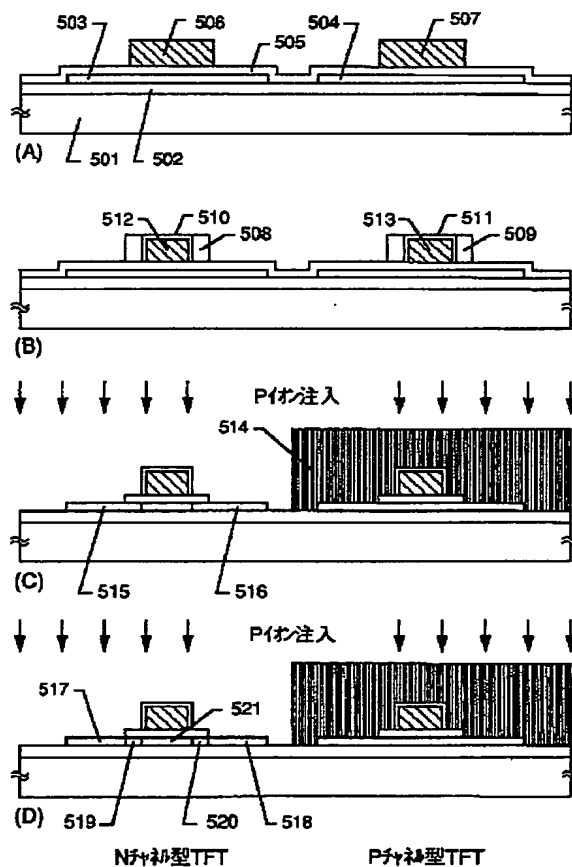


(A)

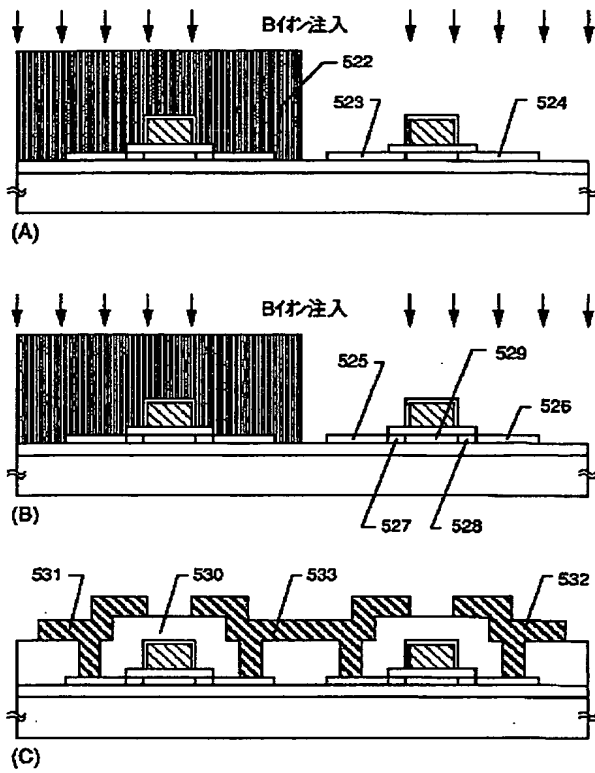


(B)

【図5】



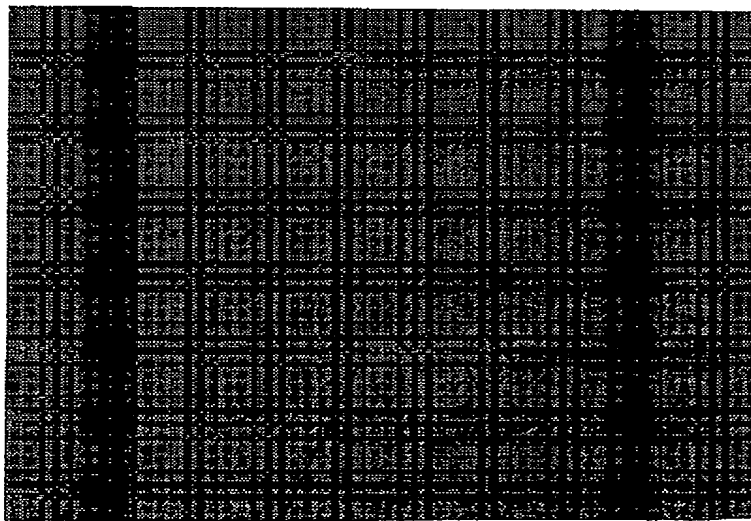
【図6】



【図9】

図面代用写真

901

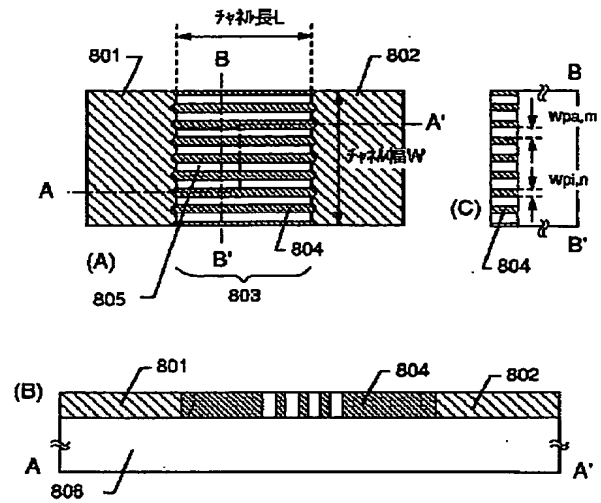


902

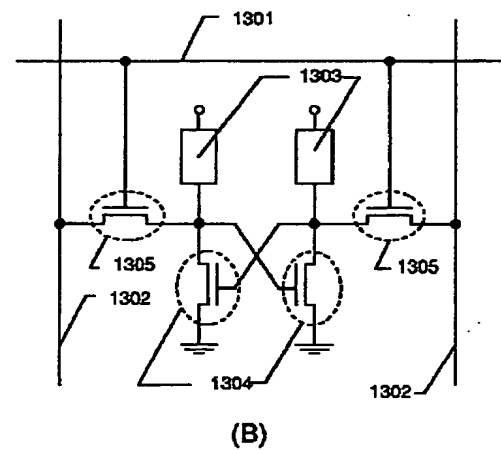
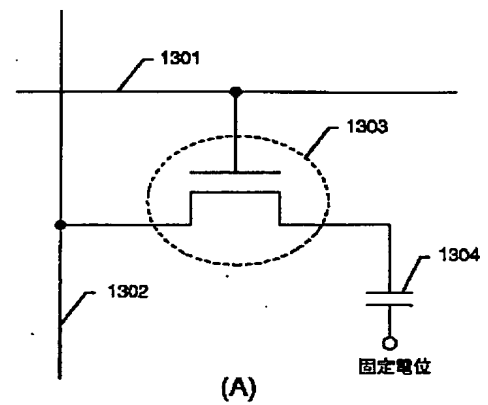
903

10 μm

【図8】

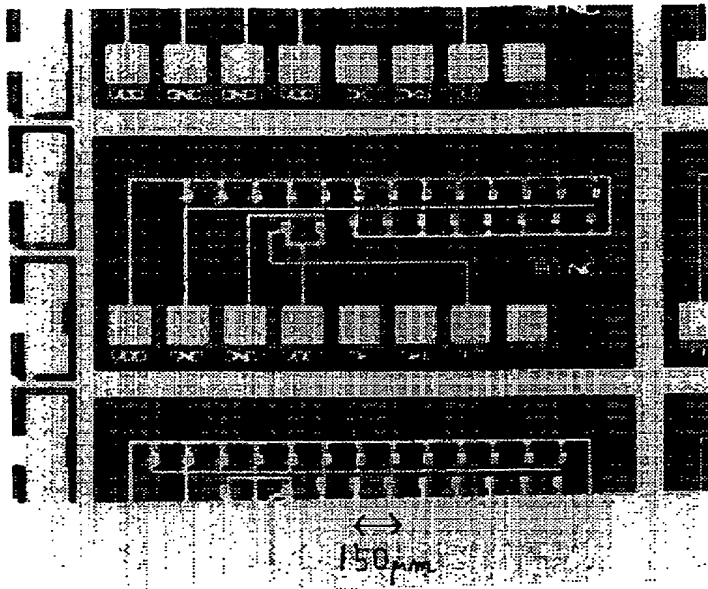


【図13】

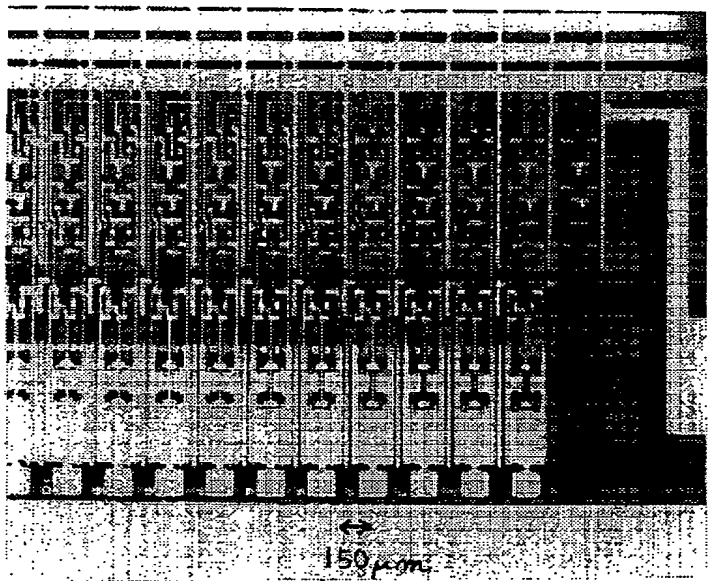


【図 7】

図面代用写真

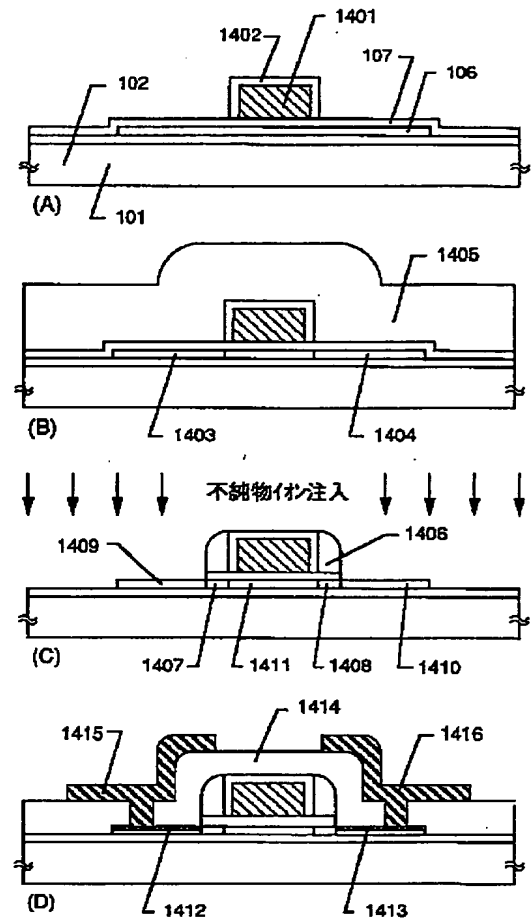


(A)



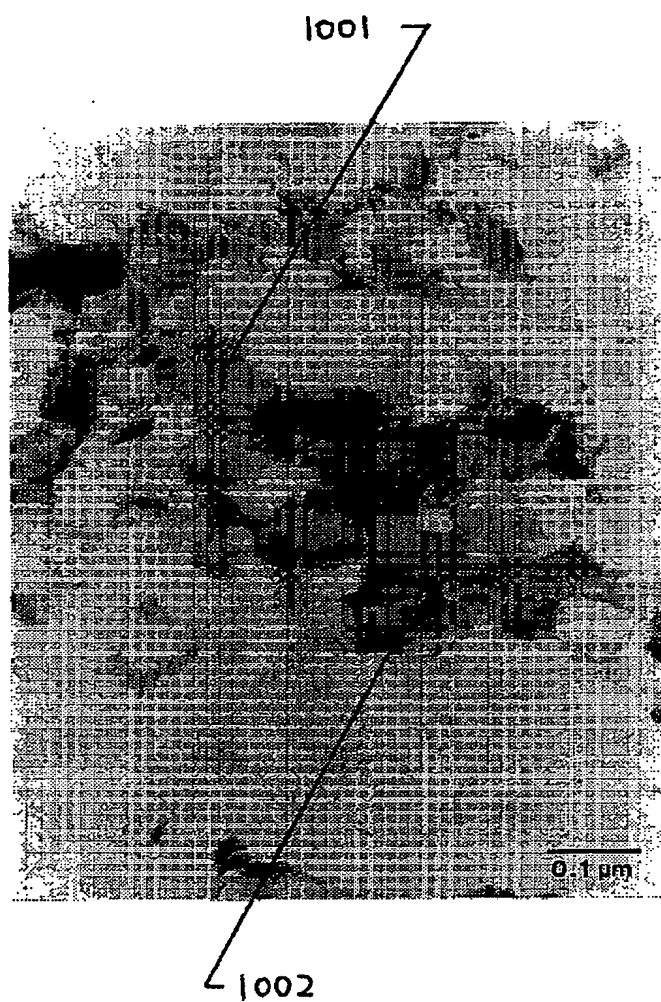
(B)

【図 1 4】



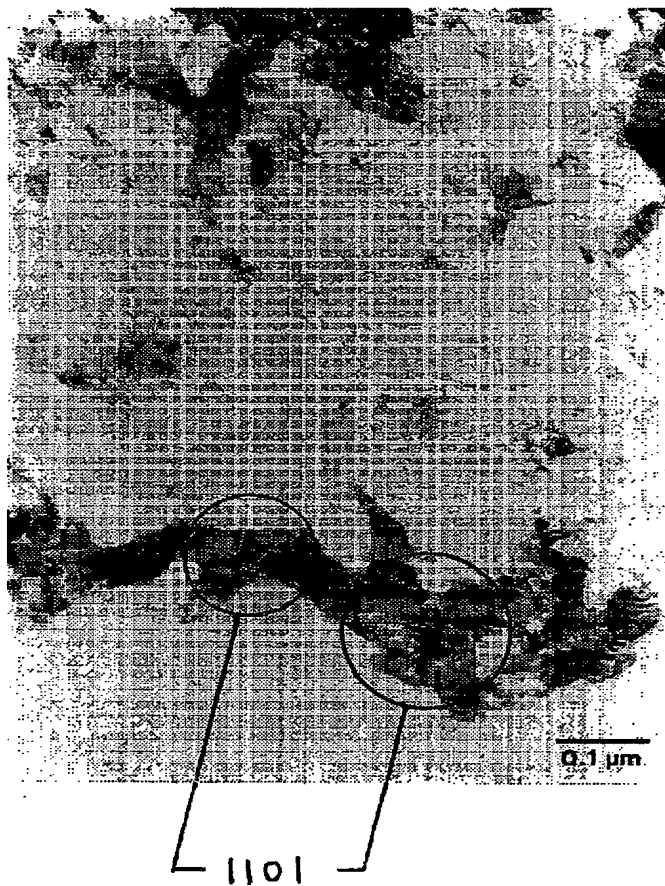
【図10】

図面代用写真

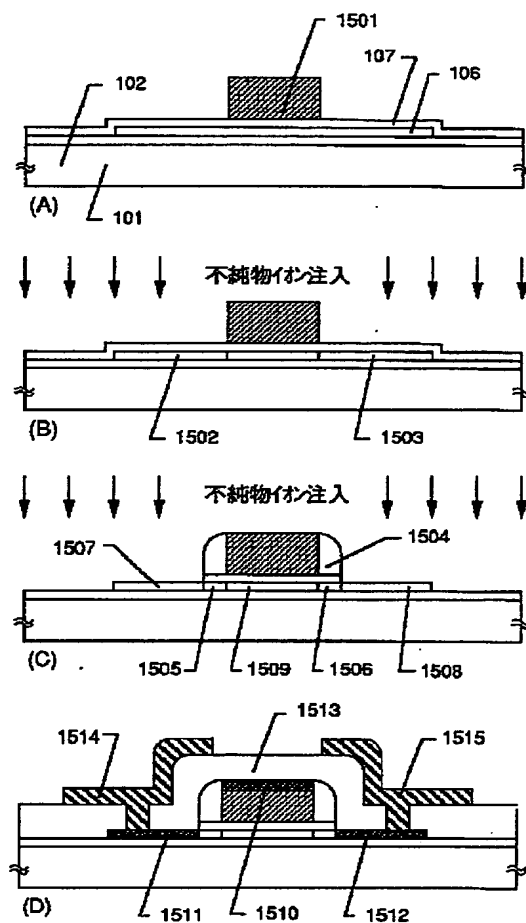


【図11】

図面代用写真



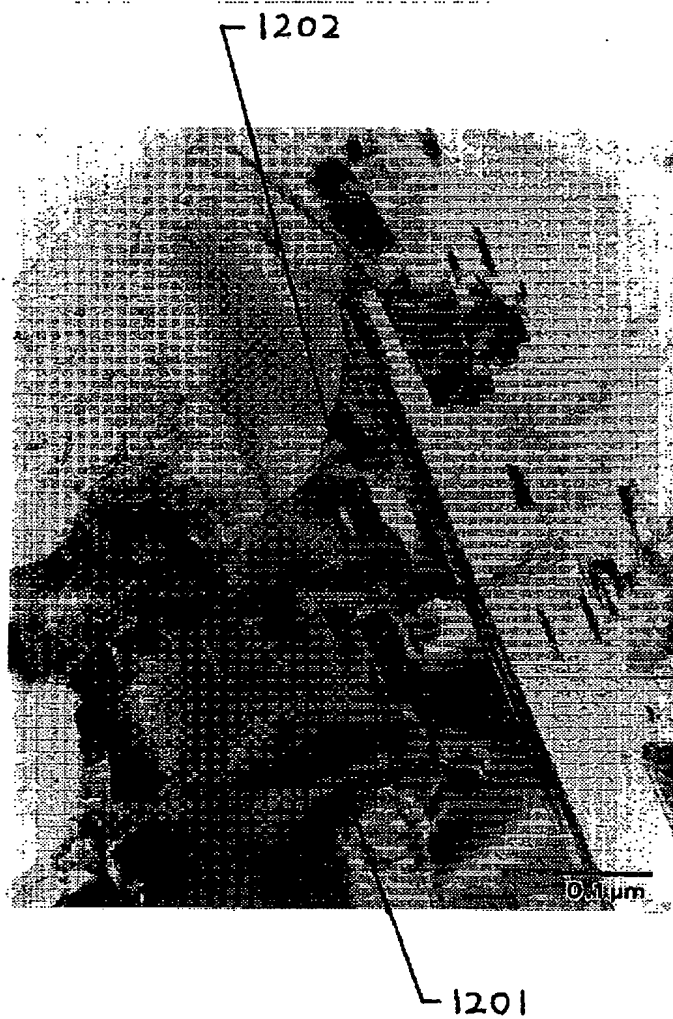
【図15】



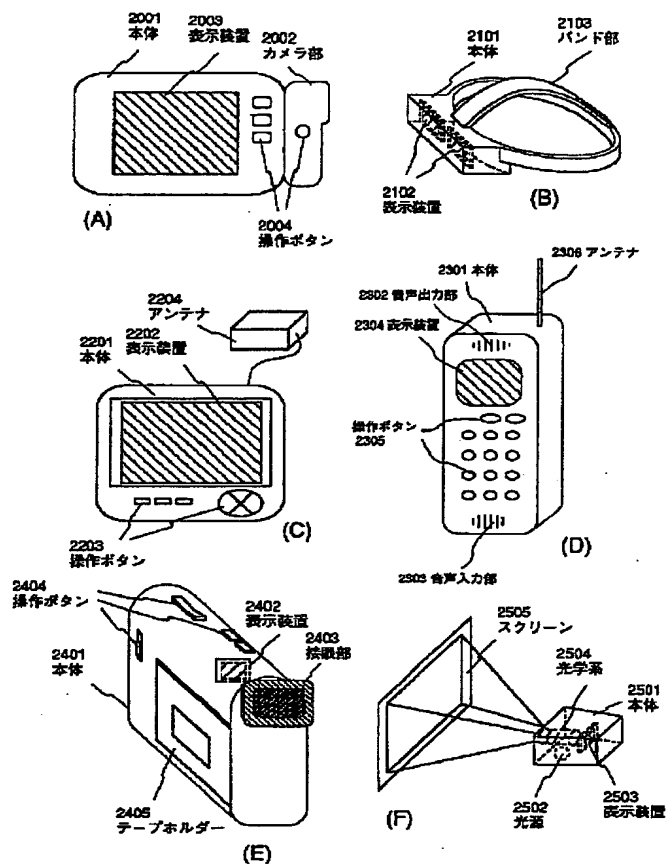


【図12】

図面代用写真



【図16】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135469

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01L 29/786

H01L 21/20

H01L 21/336

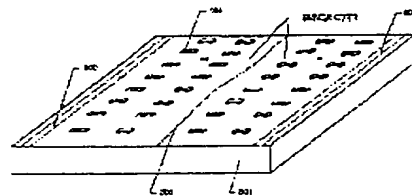
(21)Application number : 08-301250 (71)Applicant : SEMICONDUCTOR  
ENERGY LAB CO LTD(22)Date of filing : 24.10.1996 (72)Inventor : YAMAZAKI SHUNPEI  
OTANI HISASHI  
KOYAMA JUN

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the field effect mobility by forming an active layer so that its grain boundaries are oriented in substantially one direction and formed as a crystal structure of aggregated acicular or columnar crystals approximately parallel to a substrate.

SOLUTION: The configuration of an active layer is important. At crystallizing e.g. acicular or columnar crystals grow approximately in one direction to an Ni-added region 302. An island like semiconductor 304 is configured to arrange channels and the crystal grain boundary of the acicular or columnar crystals substantially in one direction. An a post-process, it



is heat-treated in a halogen atmosphere to remove a metal element e.g. Ni in the active layer to reduce the Ni concn. to  $1 \times 10^{16}$ - $5 \times 10^{17}$  atoms/cm<sup>3</sup>. The standard deviation of the S-value showing electric characteristics of a TFT can remain within 10mV/dec in an n-type and within 15mV/dec in a p-channel type.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

 CLAIMS
 

---

## [Claim(s)]

[Claim 1] The barrier layer which becomes by the crystalline silicon film formed on the base which has an insulating front face, The gate insulator layer formed in the aforementioned barrier-layer front face, and the gate electrode on the aforementioned gate insulator layer, \*\* -- metallic element which is the insulated-gate type semiconductor device which it has even if few, and promotes crystallization in the aforementioned barrier layer It exists by the concentration of  $1 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup>. The semiconductor device to which standard deviation of the S value showing an electrical property is characterized by fitting in less than 15 mV/dec in less than 10 mV/dec and/or a P channel type with an N channel type.

[Claim 2] The barrier layer which becomes by the crystalline silicon film formed on the base which has an insulating front face, The gate insulator layer formed in the aforementioned barrier-layer front face, and the gate electrode on the aforementioned gate insulator layer, \*\* -- metallic element which is the insulated-gate type semiconductor device which it has even if few, and promotes crystallization in the aforementioned barrier layer It exists by the concentration of  $1 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup>. The semiconductor device characterized by settling the S value showing an electrical property in less than  $80 \times 45$  mV/dec with an N channel type in less than  $80 \times 30$  mV/dec and/or a P channel type.

[Claim 3] The barrier layer which becomes by the crystalline silicon film formed on the base which has an insulating front face, The gate insulator layer formed in the aforementioned barrier-layer front face, and the gate electrode on the aforementioned gate insulator layer, \*\* -- metallic element which becomes with the structure which it had even if few, and promotes crystallization in the aforementioned barrier layer It exists by the concentration of  $1 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup>. And the semiconductor device characterized by for the standard deviation of the S value showing an electrical property having the insulated-gate type semiconductor device settled in less than 15 mV/dec, and consisting of N channel types with less than 10 mV/dec and/or a P channel type.

[Claim 4] The barrier layer which becomes by the crystalline silicon film formed on the base which has an insulating front face, The gate insulator layer formed in the aforementioned barrier-layer front face, and the gate electrode on the aforementioned gate insulator layer, \*\* -- metallic element which becomes with the structure which it had even if few, and promotes crystallization in the aforementioned barrier layer. It exists by the concentration of  $1 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup>. And the semiconductor device characterized by for the S value showing an electrical property having the insulated-gate type semiconductor device settled in less than  $80 \times 45$  mV/dec, and consisting of N channel types with less than  $80 \times 30$  mV/dec and/or a P channel type.

[Claim 5] It is the semiconductor device characterized by consisting of thermal oxidation films which the aforementioned gate insulator layer oxidized thermally the oxide film and the aforementioned barrier layer which formed membranes by the gaseous-phase method in the claim 1 or the claim 4, and were obtained.

[Claim 6] The semiconductor device characterized by the metallic element which promotes crystallization to high concentration existing in the aforementioned thermal oxidation film in a claim 5 rather than the inside of the oxide film which formed membranes by the describing [ above ] gaseous-phase method.

[Claim 7] a claim 1 or a claim 4 -- setting -- the aforementioned barrier layer -- the aforementioned base and an outline -- the parallel crystal structure object with which needlelike or a columnar crystal is constituted by gathering -- it is -- the above -- needlelike or the semiconductor device characterized by being controlled so that a columnar crystal gathers in the outline 1 direction, and extends and the directivity has a specific angle to the direction of a channel

[Claim 8] a claim 1 or a claim 4 -- setting -- the aforementioned barrier layer -- the aforementioned base and an outline -- the parallel crystal structure object with which needlelike or a columnar crystal is constituted by gathering -- it is -- the above -- needlelike or the semiconductor device characterized by being controlled so that a columnar crystal gathers in the outline 1 direction, and extends and the directivity carries out outline coincidence with the direction of a channel

[Claim 9] The process which forms a thermal oxidation film in the interface of the aforementioned barrier layer and the aforementioned gate insulator layer while carrying out gettering removal of the aforementioned metallic element in the aforementioned barrier layer by performing 2nd heat-treatment into the atmosphere characterized by providing the following, The process which improves the membrane quality of the aforementioned gate insulator layer which includes the aforementioned thermal oxidation film by 3rd heat-treatment in nitrogen-gas-atmosphere mind, and the state of an interface, \*\* -- even if few, pass -- it produces -- having -- the aforementioned barrier layer -- the grain boundary -- outline 1 direction -- a set and the aforementioned base, and an outline -- the parallel semiconductor device characterized by needlelike or being the crystal structure object with which a columnar crystal is constituted by more than one gathering

The process which forms an amorphous silicon film on the base which has an insulating front face. The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film. The process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively. The process which carries out conversion of some aforementioned amorphous silicon films [ at least ] to a crystalline silicon film by 1st heat-treatment, the process which removes the aforementioned mask insulator layer, the process which forms the barrier layer constituted only from an aforementioned crystalline silicon film by patterning, the process which forms a gate insulator layer on the aforementioned barrier layer, and a halogen.

[Claim 10] It is the semiconductor device characterized by performing 1st heat-treatment by the temperature requirement of 450 - 700 \*\*, and performing the 2nd or 3rd heat-treatment by the temperature requirement exceeding 700 \*\* in a claim 9.

[Claim 11] In a claim 9, the metallic element which promotes crystallization in the aforementioned barrier layer  $1 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup> Semiconductor device to which standard deviation of the S value which exists by concentration and expresses an electrical property is characterized by fitting in less than 15 mV/dec in less than 10 mV/dec and/or a P channel type with an N channel type.

[Claim 12] In a claim 9, the metallic element which promotes crystallization in the aforementioned barrier layer  $1 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup> Semiconductor device characterized by settling the S value which exists by concentration and expresses an electrical property in less than  $80^{**}45$  mV/dec with an N channel type in less than  $80^{**}30$  mV/dec and/or a P channel type. [Claim 13] Setting to a claim 1, a claim 4, a claim 7, or a claim 9, the length of the channel formation field of the aforementioned barrier layer is 0.01-2. Semiconductor device characterized by being mum.

[Claim 14] In a claim 1, a claim 4, a claim 7, or a claim 9, a kind or two or more kinds of elements which were chosen from Cl, F, and Br in the aforementioned barrier layer  $1 \times 10^{15}$  -  $1 \times 10^{20}$  atoms/cm<sup>3</sup> Semiconductor device characterized by existing by concentration.

[Claim 15] It is the semiconductor device which a kind or two or more kinds of elements which were chosen from Cl, F, and Br are contained in the aforementioned barrier layer in a claim 1, a claim 4, a claim 7, or a claim 9, and is characterized by distributing the aforementioned element over high concentration at the interface of the aforementioned barrier layer and the aforementioned gate insulator layer.

[Claim 16] The semiconductor device characterized by the metallic element which promotes the aforementioned crystallization being a kind or two or more kinds of elements which were chosen from Fe, Co, nickel, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au in a claim 1, a claim 4, a claim 6, or a claim 9.

[Claim 17] It is the semiconductor device characterized by for the aforementioned crystalline silicon film crystallizing the amorphous silicon film which formed membrane:

by reduced pressure heat C in a claim 1, a claim 4, or a claim 9, and being obtained. [Claim 18] The process which forms a thermal oxidation film in the interface of the aforementioned barrier layer and the aforementioned gate insulator layer while carrying out gettering removal of the aforementioned metallic element in the aforementioned barrier layer by performing 2nd heat-treatment into the atmosphere characterized by providing the following, The process which improves the membrane quality of the aforementioned gate insulator layer which includes the aforementioned thermal oxidation film by 3rd heat-treatment in nitrogen-gas-atmosphere mind, and the state of an interface, \*\* -- even if few -- having -- the aforementioned barrier layer -- the grain boundary -- outline 1 direction -- a set and the aforementioned base, and an outline -- the production method of the parallel semiconductor device characterized by needlelike or being the crystal structure object with which a columnar crystal is constituted by more than one gathering The process which forms an amorphous silicon film on the base which has an insulating front face in producing the semiconductor device which has the barrier layer which becomes by the semiconductor thin film. The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film. The process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively. The process which carries out conversion of some aforementioned amorphous silicon films [ at least ] to a crystalline silicon film by 1st heat-treatment, the process which removes the aforementioned mask insulator layer, the process which forms the barrier layer constituted only from an aforementioned crystalline silicon film by patterning, the process which forms a gate insulator layer on the aforementioned barrier layer, and a halogen.

[Claim 19] The process which forms the gate insulator layer which consists of only thermal oxidation films while carrying out gettering removal of the aforementioned metallic element in the aforementioned barrier layer by performing 2nd heat-treatment into the atmosphere characterized by providing the following, The process which improves the membrane quality of the aforementioned gate insulator layer, and the state of an interface by 3rd heat-treatment in nitrogen-gas-atmosphere mind, \*\* -- even if few -- having -- the aforementioned barrier layer -- the grain boundary -- outline 1 direction -- a set and the aforementioned base, and an outline -- the production method of the parallel semiconductor device characterized by needlelike or being the crystal structure object with which a columnar crystal is constituted by more than one gathering The process which forms an amorphous silicon film on the base which has an insulating front face in producing the semiconductor device which has the barrier layer which becomes by the semiconductor thin film. The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film. The process which makes the metallic element which promotes crystallization to the aforementioned amorphous silicon film hold alternatively. The process which carries out conversion of some aforementioned amorphous silicon films [ at least ] to a crystalline silicon film by 1st



heat-treatment, the process which removes the aforementioned mask insulator layer, the process which forms the barrier layer constituted only from an aforementioned crystalline silicon film by patterning, and a halogen.

[Claim 20] It is the production method of the semiconductor device characterized by basing the membrane formation method of the aforementioned amorphous silicon film on reduced pressure heat CVD in a claim 18 or a claim 19.

[Claim 21] The production method of the semiconductor device characterized by using a kind or two or more kinds of elements which were chosen from Fe, Co, nickel, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au in the claim 18 or the claim 19 as a metallic element which promotes crystallization.

[Claim 22] The atmosphere which contains a halogen in a claim 18 or a claim 19 is HCl, HF, HBr, Cl<sub>2</sub>, ClF<sub>3</sub>, BCl<sub>3</sub>, NF<sub>3</sub>, F<sub>2</sub>, and Br<sub>2</sub> in oxygen atmosphere. The production method of the semiconductor device characterized by adding a kind or two or more kinds of gas chosen from the included compound.

[Claim 23] It is the production method of the semiconductor device characterized by performing 1st heat-treatment by the temperature requirement of 450 - 700 \*\*, and performing the 2nd or 3rd heat-treatment by the temperature requirement exceeding 700 \*\* in a claim 18 or a claim 19.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Invention indicated on these specifications relates to the semiconductor device which makes a barrier layer the semiconductor thin film formed on the base which has an insulating front face. It is related with the TFT which constituted the barrier layer from a crystalline silicon film especially.

[0002]

[Description of the Prior Art] In recent years, the technology which constitutes TFT (TFT) using the semiconductor thin film (number of thickness 100- about thousands of Å) formed on the base which has an insulating front face attracts attention. TFT is widely applied to an electron device like IC or electro-optics equipment, and development is especially hurried as a switching element of image display equipment.

[0003] For example, the attempt which applies TFT to all electrical circuits, such as a pixel matrix circuit which controls separately the pixel field arranged in the shape of a matrix in the liquid crystal display, a drive circuit which controls a pixel matrix circuit, and logical circuits (a processor circuit, memory circuit, etc.) which process the data signal from the outside further, is made.

[0004] In the present condition, although TFT using the amorphous silicon film (amorphous silicon film) as a barrier layer is put in practical use, TFT using the crystalline silicon film (polysilicon contest film) is needed for the electrical circuit which can ask for the further high-speed operation performance like a drive circuit or a logical circuit.

[0005] The technology indicated by JP,6-232059,A by these people and JP,6-244103,A as a method of forming a crystalline silicon film on a base is well-known. The technology indicated by this official report makes it possible to form the crystalline outstanding crystalline silicon film by 500 - 600 °C and heat-treatment of about 4 hours by using the metallic element (especially nickel) which promotes crystallization of silicon.

[0006] moreover, the technology indicated by JP,7-321339,A -- the above-mentioned technology -- applying -- a base -- an outline -- it is made to perform an parallel crystal growth and artificers are calling especially the formed crystallization field horizontal growth field (or lateral growth field)

[0007] However, even if it constitutes a drive circuit using such TFT, it is not necessary to fill completely the performance demanded still more. Especially the thing for which the high-speed logical circuit of which the very highly efficient electrical property which realizes simultaneously high-speed operation and a high proof-pressure property is required is constituted from conventional TFT is impossible for the present condition.

[0008]

[Problem(s) to be Solved by the Invention] As mentioned above, in order to attain highly efficient-ization of electro-optics equipment etc., you have to realize TFT which has the performance which is equal to MOSFET formed using the single crystal silicon wafer.

[0009] Then, invention indicated on these specifications makes it a technical problem to offer the very highly efficient thin-film-semiconductor equipment used as the breakthrough for realizing further highly efficient-ization of electro-optics equipment, and its production method.

[0010]

[Means for Solving the Problem] By the conventional method, it is possible that improvement in the electric field effect mobility which is one of the parameters with which capture is carried out and a carrier (an electron or electron hole) shows a TFT property in the grain boundary as a reason which was not able to obtain the above highly efficient TFT was barred.

[0011] For example, much azygos joint hands (dangling bond) of a silicon atom and defective (capture) level exist in the grain boundary. Therefore, since the trap of it will be easily carried out to an azygos joint hand, defective level, etc. if the carrier which moves in each interior of a crystal approaches or contacts the grain boundary, it is thought that the grain boundary was served as "the malignant grain boundary" which checks movement of a carrier.

[0012] In order to realize the semiconductor device of this invention, the technology for making such "the malignant grain boundary" change structurally, and carrying out conversion to "the benign grain boundary" for a carrier is indispensable. That is, it can be said that it is important that the probability of capturing a carrier at least forms the grain boundary with possibility it is small and small of barring movement of a carrier.

[0013] Therefore, the composition of invention indicated on these specifications The process which forms an amorphous silicon film on the base which has an insulating front face in producing the semiconductor device which has the barrier layer which becomes by the semiconductor thin film, The process which forms a mask insulator layer alternatively on the aforementioned amorphous silicon film, and the process which makes the metallic element which promotes crystallization to the aforementioned amorphous

silicon film hold alternatively, The process which carries out conversion of some aforementioned amorphous silicon films [ at least ] to a crystalline silicon film by 1st heat-treatment, The process which removes the aforementioned mask insulator layer, and the process which forms the barrier layer constituted only from an aforementioned crystalline silicon film by patterning, The process which forms a thermal oxidation film on the interface of the aforementioned barrier layer and the aforementioned gate insulator layer while carrying out gettering removal of the aforementioned metallic element in the aforementioned barrier layer by performing 2nd heat-treatment into the process which forms a gate insulator layer on the aforementioned barrier layer, and the atmosphere containing a halogen, The process which improves the membranous quality of the aforementioned gate insulator layer which includes the aforementioned thermal oxidation film by 3rd heat-treatment in nitrogen-gas-atmosphere mind, and the state of an interface, \*\* -- even if few -- having -- the aforementioned barrier layer -- the grain boundary -- outline 1 direction -- a set and the aforementioned base, and an outline -- it is characterized by the parallel thing been needlelike or the crystal structure object with which a columnar crystal is constituted by more than one gathering

[0014] If a crystalline silicon film is formed by the production method according to the above composition, the thin film of appearance as shown in drawing 9 will be obtained. In expansion microphotography when drawing 9 carries out this invention using technology given in JP,7-321339,A as a crystallization means of an amorphous silicon film -- it is -- 10-100 length -- the horizontal growth field 901 which also amounts to dozens of micrometers is formed

[0015] In addition, this horizontal growth field 901 has needlelike or the feature that crystal orientation has gathered, in order that the columnar crystal may carry out the crystal growth to outline parallel almost perpendicularly and mutually to the field (shown by 902) which added the metallic element which promotes crystallization. Moreover, the macroscopic grain boundary (it distinguishes from the grain boundary between needlelike or a columnar crystal) which has been prolonged from the addition field 902 which faced each other and in which needlelike or the columnar crystal collided and was formed is shown by 903.

[0016] Furthermore, the transverse-electromagnetic photograph to which the interior of crystal grain was further expanded to the detailed field paying attention to the interior of the horizontal growth field shown in drawing 9 is drawing 10 .

[0017] That is, although the crystalline silicon film of this invention looks [ consist of / big horizontal growth fields 901 / like drawing 9 ] macroscopic, if the horizontal growth field 901 is observed microscopically in fact, as shown in drawing 10 , they are needlelike or the crystal structure object with which a columnar crystal 1001 is constituted by more than one gathering.

[0018] moreover, that it is needlelike that drawing 10 is shown by 1002 needlelike from the direction where it is the grain boundary which shows the boundary of columnar

crystals, and the grain boundary 1002 is prolonged or a columnar crystal 1001 -- mutual - an outline -- it can check having carried out the crystal growth in the parallel direction. In addition, the grain boundary in this specification points out the boundary of needlelike or columnar crystals, as long as there is no notice.

[0019] moreover, gettering removal of the metallic element (let nickel be the main example) which promotes crystallization by heat-treatment by the atmosphere in which the semiconductor device of this invention contains a halogen is carried out --  $5 \times 10^{17}$  atoms/cm<sup>3</sup> Nickel which remained by the above concentration  $1 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup> (preferably below the spin density in a barrier layer) decrease.

[0020] Of course, it is thought that gettering removal also of the metallic elements (Cu, aluminum, etc.) besides having mixed by contamination etc. (it not adding intentionally) is carried out similarly.

[0021] Moreover, it is expected at this time that it combines with oxygen and the azygos joint hand of a silicon atom forms an oxide (oxidization silicon) between heat-treatment. Consequently, oxidization silicon is formed in the field which was "the malignant grain boundary", and it is thought that it becomes the composition that oxidization silicon functions as the grain boundary substantially.

[0022] Thus, it is surmised that the formed grain boundary 1002 will be in the state excellent in the adjustment in which the interface of oxidization silicon and crystal silicon hardly includes a lattice defect. This is because the silicon atom between grids which causes a defect by the synergistic effect of process in which oxidization silicon is formed of thermal oxidation, and process in which the reunion of silicon atoms or a silicon atom, and an oxygen atom is promoted by the catalysis of nickel is consumed.

[0023] That is, the grain boundary shown by 1002 in drawing 10 does not almost have a defect which captures a carrier, and it is thought that it acts as "the benign grain boundary" which functions only as an energy-[ only ]-needlelike or obstruction for the carrier which moves in the interior of a columnar crystal.

[0024] Moreover, since, as for such the grain boundary, a thermal oxidation reaction advances preferentially, a thermal oxidation film is formed more thickly than other fields. Therefore, it is surmised that it may become an energy-[ the gate voltage impressed near the grain boundary is small seemingly, and / a bird clapper ] obstruction.

[0025] Moreover, since this heat-treatment is performed at the comparatively high temperature exceeding 700 °C (typically 800-1100 degrees C), needlelike or a crystal defect called the transposition and the stacking fault which exist in the interior of a columnar crystal will disappear mostly. Furthermore, termination of the azygos joint hand of the silicon atom which remained is carried out by hydrogen and the halogen which are contained in a film.

[0026] Therefore, this invention persons define the field inside two or more needlelike or columnar crystals as "a field it can be considered that is a single crystal substantially for carrier" in the state which shows in drawing 10 obtained as mentioned above.

[0027] It means that there is no obstruction which a carrier faces moving, saying "it can be regarded as a single crystal substantially for a carrier", and bars movement of a carrier and is put in another way as that there is neither a crystal defect nor a grain boundary, the potential barrier which serves as an obstruction in energy not existing, etc.

[0028] The highly efficient semiconductor device which is sufficient for this invention constituting the barrier layer of the semiconductor device represented by TFT using the crystalline silicon film which becomes with the above composition, and constituting a drive circuit and a logical circuit is realized.

[0029] Suppose that it has in the example indicated below about the composition of the above this inventions, and detailed explanation is given.

[0030]

[Example]

[Example 1] this example shows the example which used the crystalline silicon film formed according to the production method of this invention as a barrier layer of TFT (TFT). Being shown in drawing 1 is one example of the production process of TFT.

[0031] In addition, the crystallization means of the amorphous silicon film used by this example is the technology indicated by JP,7-321339,A. Therefore, in this example, since it stops to indicate the outline, it is good to refer to the aforementioned official report for details.

[0032] The base 101 which has an insulating front face first is prepared. In this example, the oxidization silicon film 102 is formed in thickness of 2000A as a ground film on a quartz substrate. What is necessary is just to use reduced pressure heat CVD, a plasma CVD method, a spatter, etc. as the membrane formation method of the oxidization silicon film 102.

[0033] In addition, in case an amorphous silicon film is crystallized behind, research of this invention persons shows that the crystallinity of the crystalline silicon film with which the one where a ground film is more precise is obtained is good. To moreover, the inside of a film  $5 \times 10^{17} - 2 \times 10^{19}$  atoms/cm<sup>3</sup> It is desirable when oxygen is contained. The oxygen contained in the film plays a role important in the case of gettering processing of the metallic element which promotes next crystallization.

[0034] Next, it is the amorphous silicon film 103 200-1000A (this example 350 \*\*) Membranes are formed by reduced pressure heat CVD in thickness. What is necessary is just to use silane system gas (SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub>, Si<sub>3</sub>H<sub>8</sub>, etc.) as membrane formation gas. In addition, the amorphous silicon film which formed membranes by reduced pressure heat CVD has a small rate of natural karyogenesis in the case of next crystallization. This thing is desirable, when enlarging horizontal growth width of face, since the rate each crystal carries out [ a rate ] a mutual interference (it collides and growth stops) decreases.

[0035] Of course, it is also possible as the membrane formation method of the amorphous silicon film 103 to use a plasma CVD method, a spatter, etc.

[0036] Next, the oxidization silicon film 104 with a thickness of 500-1200A is formed by

the plasma CVD method or the sputter, and etching removal only of the field which introduces the metallic element which promotes crystallization behind is carried out alternatively. That is, this oxidization silicon film 104 functions as a mask insulator layer for introducing nickel alternatively to the amorphous silicon film 103.

[0037] The field 105 exposed with the oxidization silicon film 104 is formed in the direction perpendicular to space in the shape of [ which has a longitudinal direction ] a slit. (Drawing 1 (A))

[0038] Next, UV light is irradiated into oxygen atmosphere and a very thin oxide film (not shown) is formed in the front face of the amorphous silicon film 103 exposed by the field 105. This oxide film is for improving the wettability of a solution at the solution application process at the time of introducing the metallic element which promotes crystallization behind.

[0039] In addition, although a kind or two or more kinds of elements which were chosen from Fe, Co, nickel, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au are used as a metallic element which promotes crystallization, this example explains taking the case of nickel (nickel).

[0040] Next, predetermined concentration (at this example, it is 100 ppm by weight conversion) The nickel nitrate solution (or nickel acetate solution) containing nickel is dropped, and the thin water screen 106 which contained nickel by the spin coat method is formed. The nickel concentration added in an amorphous silicon film is easily controllable by adjusting the concentration of a nickel salt solution in a solution application process. (Drawing 1 (B))

[0041] Next, in 500 after performing 450 \*\* and hydrogen \*\*\*\* of about 1 hour into an inert atmosphere - 700 \*\*, and a representation target, it is at the temperature of 550 - 600 \*\*. 4-8 Heat-treatment (1st heat-treatment) of time is added, and the amorphous silicon film 103 is crystallized. In this way, the crystalline silicon film 107 is obtained. (Drawing 1 (C))

[0042] this time -- that a crystal growth is needlelike or a columnar crystal -- a substrate - an outline -- it goes on in the parallel direction Since the field where it is shown by 105 in the case of this example serves as [ of the drawing ] the shape of a slit which has a longitudinal direction in the \*\*\*\* direction from this side, as shown by the arrow 108, a crystal growth advances toward outline 1 direction. At this time, it can be made to perform a crystal growth over hundreds of micrometers or more.

[0043] In addition, a nickel addition field is shown by 109 and it contains nickel by high concentration compared with the horizontal growth field 107. The crystallinity of the field is not so good, in order that a crystalline nucleus may crowd too much and may carry out the crystal growth of the addition field 109. Therefore, the barrier layer formed behind consists of fields except the addition field 109.

[0044] Next, if the heat-treatment for crystallization is completed, the oxidization silicon film 104 used as the mask insulator layer for adding nickel alternatively will be removed This process is easily performed by buffered fluororic acid etc.

0045] In addition, you may give laser annealing by the excimer laser to the back before heat-treatment in the atmosphere containing a next halogen to the crystalline silicon film 107. However, although the crystallinity of a crystalline silicon film can improve by laser radiation, since irregularity is easy to be formed in a silicon film front face, cautions are required.

0046] Next, the barrier layer 110 which carries out patterning of the obtained crystalline silicon film 107, and functions as a barrier layer of TFT later is formed. In addition, in this invention, arrangement of a barrier layer is important. About that, it mentions later.

0047] It is the gate insulator layer 111 which will come by the oxidization silicon film on a barrier layer 110 if a barrier layer 110 is formed 200-1500Å (this example 300 \*\*) Membranes are formed in thickness. The membrane formation method of the gate insulator layer 111 should just use gaseous-phase methods, such as a plasma CVD method, heat CVD, and a spatter.

0048] Moreover, a silicon nitride film and an oxidization silicon nitride film may be used instead of an oxidization silicon film, or the laminating of those insulator layers may be carried out, and they may be used.

0049] Next, it heat-treats in the atmosphere <sup>⑤</sup> containing a halogen (2nd heat-treatment). It aims at that this heat-treatment removes the metallic element in a barrier layer 110 (especially nickel) using the gettering effect of the metallic element by the halogen to the 1st. (Drawing 1 (D))

0050] In order to acquire the effect, it is important for the heat-treatment for this gettering to carry out at the temperature exceeding 700 \*\*. At the temperature not more than it, there is a possibility that the gate insulator layer 111 may serve as a blocking layer, and cannot acquire sufficient gettering effect.

0051] Therefore, it carries out at the temperature exceeding 700 \*\*, and considers as 800-1000 degrees C (typically 950 \*\*) preferably, and the temperature requirement of this heat-treatment is the processing time. You may be 0.5 - 1 hour typically for 0.1 to 6 hours.

0052] In addition, in this example, 950 \*\* and heat-treatment for 30 minutes are performed into the atmosphere which made the hydrogen chloride (HCl) contain [ be / under / oxygen (O<sub>2</sub>) atmosphere / receiving / it ] by the concentration of 0.5 - 10 volume %. In addition, if HCl concentration is carried out to more than the above-mentioned concentration, since irregularity of the same grade as thickness arises on the film front face of a crystalline silicon film, it is not desirable.

0053] moreover -- although the compound was carried out and the example containing a halogen using HCl gas was shown by this example -- as the other gas -- HF, NF<sub>3</sub>, HBr, Cl<sub>2</sub>, ClF<sub>3</sub>, BC1<sub>3</sub>, F<sub>2</sub>, and Br<sub>2</sub> etc. -- a kind or two or more sorts of things chosen from the compound containing a halogen can be used Moreover, generally the hydride or the organic substance (charcoal hydride) of a halogen can also be used.

0054] In this process, gettering of needlelike or the nickel which segregated to the grain



boundary of a columnar crystal is carried out by operation of a halogen (here chlorine), it becomes a volatile nickel chloride and it is thought that it is broken away and removed into the atmosphere.

[0055] Therefore, it is checked by SIMS analysis that the nickel in a barrier layer 110 is reduced by even the grade ( $1 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup>, preferably below the spin density in a barrier layer) which does not affect a device property. In addition, minimum  $1 \times 10^{16}$  atoms/cm<sup>3</sup> The value to say is the minimum-limit-of-detection community of SIMS. Moreover, the high impurity concentration in this specification is had and defined by the minimum value of the measurement value obtained by SIMS analysis.

[0056] In addition, in this invention persons' knowledge, the nickel used for promotion of crystallization is in the needlelike or inclination which carries out many segregations to the grain boundary of a columnar crystal, and it is thought that it is hardly contained substantially [ inside a columnar crystal ] needlelike.

[0057] However, by the present SIMS analysis, since the information on both the interior of a crystal and the grain boundary is gathered, the concentration of the nickel in this specification means strictly the average concentration which equalized the nickel concentration contained in the interior of a crystal, and the grain boundary.

[0058] Moreover, when a gettering process is performed, the halogen used for gettering processing in a crystalline silicon film  $1 \times 10^{15}$  -  $1 \times 10^{20}$  atoms/cm<sup>3</sup> It remains by concentration. There is an inclination to be distributed between a crystalline silicon film and a thermal oxidation film at high concentration, in that case.

[0059] In addition, nickel is extruded to the grain boundary of needlelike or a columnar crystal in the case of crystallization, and carries out a segregation, and it is thought that it existed as nickel silicide. And in the case of gettering, it becomes a nickel chloride, and breaks away, and the azygos joint hand of silicon that combination with nickel was cut will be in the state of existing in the grain boundary mostly.

[0060] However, it is thought that it combines with oxygen easily and the azygos joint hand formed since the above-mentioned process was performed at comparatively high temperature into an oxidizing atmosphere forms an oxide (oxidization silicon expressed with SiOX). That is, this invention persons think that a crystalline silicon film serves as a crystal structure object on which oxidization silicon functions as the grain boundary according to a series of above-mentioned heating processes.

[0061] Moreover, since termination of the non-coupling hand which remained is carried out by hydrogen and the halogen which are contained in a barrier layer 110, or it is compensated by the reunion of silicon and crystal defects, such as dislocation and a stacking fault, disappear mostly by the reunion and the rearrangement of a silicon atom further, it is thought that the crystallinity inside needlelike or a columnar crystal is also improved remarkably.

[0062] Therefore, a columnar crystal is remarkable needlelike, crystallinity is improved, and the barrier layer 110 consists of crystal structure objects with the field for which it is

enough removed by even the grade nickel does not have [ grade-] trouble in a device property by heat-treatment in halogen atmosphere, and a barrier layer 110 is constituted and it can be substantially considered for a carrier that is a single crystal.

[0063] Moreover, by the interface of a barrier layer 110 and the gate insulator layer 111, a thermal oxidation reaction advances by the above-mentioned heat-treatment, and it is abbreviation. The silicon film which is 100A oxidizes. A 200A thermal oxidation film is formed. That is, all the thickness of the gate insulator layer 111 becomes 500 in all \*\* about the part which formed membranes by CVD, and a part to have been formed by thermal oxidation.

[0064] Furthermore, after giving heat-treatment in the above-mentioned halogen atmosphere, it is 950 \*\*1 in nitrogen-gas-atmosphere mind. By heat-treating a time grade, very good semiconductor / insulator layer interface are realized with the membraneous improvement in the gate insulator layer 111.

[0065] Moreover, although a barrier layer 110 is formed by the dry etching method, there is a possibility that the plasma damage which remained on the edge of a barrier layer there may cause a leakage current of TFT. In the case of this example, since the edge of a barrier layer 110 is oxidized thermally, it serves also as removal of a plasma damage.

[0066] If it ends to formation of the gate insulator layer (thermal oxidation film) 111 as mentioned above, it will have an aluminum film (not shown) for next constituting a gate electrode in the thickness of 2500A by the sputter, and membranes will be formed. A scandium is made to contain 0.2% of the weight in this aluminum film for a hillock or whisker prevention.

[0067] In addition, although the material which makes ARUMINIMU a principal component as a material which forms a gate electrode (gate wiring is included) is used in this example, a tungsten, a tantalum, molybdenum, etc. can also be used for others. Moreover, you may utilize the crystalline silicon film which gave conductivity as a gate electrode.

[0068] Next, the pattern 112 of the aluminum film of the shape of an island which carries out patterning of the aluminum film and serves as a prototype of a gate electrode as shown in drawing 1 (D) is formed. In addition, the resist mask (not shown) used at this time is made to remain as it is. (Drawing 2 (A))

[0069] And anodic oxidation which used the pattern 112 of an aluminum film as the anode plate is performed. This technology uses well-known anodic oxidation technology (for example, JP, 7-135318, A). First, the porosity-like oxide film on anode 113 is formed in the side of a pattern 112 of this anodic oxidation process. At this example, it is the thickness of this oxide film on anode 113 0.7 It is referred to as mum.

[0070] If the oxide film on anode 113 of the shape of porosity shown in drawing 2 (B) is formed, the resist mask which is not illustrated will be removed. And the precise oxide film on anode 114 is formed by performing anodic oxidation for the second time. Thickness of the precise oxide film on anode 114 is taken as 900 \*\*.

[0071] Moreover, the gate electrode 115 demarcates through the above process. The precise oxide film on anode 114 functions in order to protect the front face of the gate electrode 115 or to suppress generating of a hillock or a whisker in a next process.

[0072] Next, if it forms to the precise oxide film on anode 114, the impurity ion for forming the source / drain field in this state will be poured in. What is necessary is to pour in P (Lynn) ion, if N channel type TFT is produced, and just to pour in B (boron) ion, if P channel type TFT is produced.

[0073] In this process, the source field 116 and the drain field 117 where the impurity was added by high concentration are formed.

[0074] Next, using the mixed acid which mixed the acetic acid, the phosphoric acid, and the nitric acid, after removing the porosity-like oxide film on anode 113 alternatively, the ion implantation of P ion is performed again. Rather than the time of forming previous source / drain field, it has this ion implantation by the low dose, and it is performed.

[Drawing 2 (C)]

[0075] Then, as compared with the source field 116 and the drain field 117, the low concentration impurity ranges 118 and 119 with low high impurity concentration are formed. And the field shown by 120 of gate electrode 115 directly under becomes a self-adjustment target with a channel formation field.

[0076] In addition, especially the low concentration impurity range 119 arranged between the channel formation field 120 and the drain field 117 is called LDD (light doped lane field) field, and has the effect which eases the high electric field formed between the channel formation field 120 and the drain field 117.

[0077] Moreover, the channel formation field 120 (strictly needlelike or interior of a columnar crystal) consists of genuineness fields genuineness or substantially. It means that about 1/10 of activation energy is it 2 that it is a genuineness field genuineness or substantially (a Fermi level is located in the center of a forbidden band), and it is the field where high impurity concentration is lower than spin density, or that it is the undoping field which does not add impurities, such as P or B, intentionally.

[0078] Furthermore, annealing of the field where the ion implantation was performed is performed after the pouring process of the above-mentioned impurity ion by performing irradiation of a laser beam, infrared light, or ultraviolet radiation. Activation of addition ion and the recovery of damage which the barrier layer received at the time of an ion implantation are performed by this processing.

[0079] Moreover, it is effective if a hydrogen treating is performed by the temperature requirement of 300 - 350 °C for 0.5 to 1 hour. This process carries out hydrogen termination of the azygos joint hand generated by hydrogen desorption from a barrier layer again. if this process is performed -- inside of a barrier layer  $1 \times 10^{21}$  atoms /  $\text{cm}^3$  the following -- desirable --  $1 \times 10^{15}$  to  $1 \times 10^{21}$  atoms /  $\text{cm}^3$  Hydrogen is added by concentration.

[0080] In this way, if the state which shows in drawing 2 (C) is acquired, next,

membranes will be formed layer insulation film 121. The layer insulation film 121 has and consists of cascade screens of an oxidization silicon film, a silicon nitride film, an oxidization silicon nitride film, organic nature resin films, or those films. (Drawing 2 (D))

[0081] Moreover, since specific inductive capacity is small when the polyimide which is an organic nature resin film is used, the parasitic capacitance during vertical wiring can be reduced. Moreover, since it can form by the spin coat method, thickness can be earned easily, and improvement in a throughput can be aimed at.

[0082] Next, layer insulation film 121 contact hole is formed, and the source electrode 122 and the drain electrode 123 are formed. By heat-treating in 350 more-degree C hydrogen atmosphere, the whole element is hydrogenated and TFT shown in drawing 2 (D) is completed.

[0083] Although TFT shown in drawing 2 (D) has simplest structure for explanation, it is easy to consider as desired TFT structure suitably by adding some change and additions to the production process procedure of this example.

[0084] Here, in case a barrier layer 110 is formed as mentioned above, the arrangement explains the reason for being important. Explanation is performed using drawing 3.

[0085] When this example is carried out, in order that a columnar crystal may grow up to be outline parallel mutually, there is needlelike or the feature that on the other hand the grain boundary is equal to \*\*. Moreover, it is possible needlelike or to control freely the direction as for which a columnar crystal carries out a crystal growth by adding alternatively the metallic element which promotes crystallization. This thing has a very important meaning.

[0086] One example in which the barrier layer was formed on the base which has an insulating front face here is shown in drawing 3. What is shown in drawing 3 is a barrier layer arranged in the shape of a matrix on a base 301 in producing active matrix liquid crystal display.

[0087] In addition, the field shown with the dashed line of 302 is the place where the field for introducing nickel alternatively existed. Moreover, 303 is the place where the macroscopic grain boundary in which the horizontal growth field collided mutually and was formed existed. Since these cannot be checked after they form a barrier layer, they are made to be shown by the dotted line.

[0088] moreover, the case where it crystallizes with the means shown by this example -- needlelike or a columnar crystal -- the nickel addition field 302 -- receiving -- an outline -- it grows up in the perpendicular direction (direction shown by the arrow all over drawing)

[0089] Therefore, it can arrange in the direction of a channel, and needlelike or the direction which carries out outline coincidence of the grain boundary of a columnar crystal by arranging the island-like semiconductor 304 like drawing 3. And it is possible to realize the above composition on the whole substrate surface by designing so that the

nickel addition field 302 may be attained from the edge of a substrate 301 to an edge.  
 [0090] When it is such composition, the direction of a channel, and needlelike or the direction where a columnar crystal is located in a line will be in agreement. That is, in case it functions as a barrier layer of TFT, the energy barrier which bars movement of a carrier in a channel formation field means the very few thing, and the further improvement in a working speed can be expected.

[0091] Moreover, the above thing means that the directivity of a columnar crystal is needlelike or controllable to have a specific angle to the direction of a channel, if it puts in another way. Drawing 3 corresponds, when a specific angle is made into 0 degree.

[0092] That is, when are thought with the view different from drawing 3 and rotating 90 degrees of barrier layers 304, it thinks. In this case, although the mobility of a carrier falls, a low OFF state current property and a high proof-pressure property can be expected.

[0093] Here, the electrical property of the semiconductor device shown in drawing 2 (D) which this invention persons produced according to this example is shown in drawing 4. In drawing 4 (A), the electrical property (Id-Vg property) of N channel type TFT and drawing 4 (B) show the electrical property of P channel type TFT. In addition, Id-Vg The graph which shows a property displays the measurement result for five points collectively.

[0094] VG(s) of a horizontal axis are a gate-voltage value and current value to which ID of a vertical axis flows between the source/drain. Moreover, Id-Vg shown by 401 and 403 A property (Id-Vg curve) is Id-Vg which shows the property at the time of drain voltage  $V_D=1V$ , and is shown by 402 and 404. The property shows the property at the time of drain voltage  $V_D=5V$ . Moreover, 405 and 406 show the leakage current at the time of drain voltage  $V_D=1V$ .

[0095] In addition, drain current of an OFF field ( drawing 4 (A) below -1V and drawing 4 (B) more than -1V) ( $I_{off}$ ) Most the leakage current ( $I_G$ ) of ON and an OFF field Since it is below  $1 \times 10^{-13} A$  (measurement minimum community), it will be mixed up with the noise in drawing 4 (A) and (B).

[0096] Here, the typical property parameter of TFT by this invention for which it asked from the electrical property shown in drawing 4 (A) and (B) is shown in Table 1 and Table 2. In addition. Table 1 is as a result of the electrical property (arbitrary 20-point measurement) of N channel type TFT, and Table 2 shows the result of the electrical property (arbitrary 20-point measurement) of P channel type TFT.

[0097]

[Table 1]

P4+1型TFT測定結果 (SingleGate)

測定点	Ion_1(pA) (VD=1V) (VG=3V)	Ion_2(pA) (VD=5V) (VG=3V)	Ion_1(pA) (VD=1V) (VG=6V)	Ion_2(pA) (VD=5V) (VG=6V)	IonIoff1	IonIoff2	Vth(V) (VD=5V)	S-value (mV/dec) (VD=1V)	$\mu$ FE[cm <sup>2</sup> /Vs]		IG_on(pA) (VD=1V) (VG=5V)	IG_off(pA) (VD=1V) (VG=6V)
									(VD=1V) (VG=3V)	(VD=1V) (VG=6V) (max)		
Point 1	68.61	205.30	1.00	3.30	7.84	7.79	0.08	82.66	150.91	226.64	0.20	-0.40
Point 2	72.80	219.05	0.75	3.85	7.99	7.76	0.12	71.10	171.21	245.00	0.10	-0.05
Point 3	74.35	221.85	0.45	2.65	8.22	7.92	0.05	86.92	170.60	246.84	0.15	-0.15
Point 4	62.61	201.70	0.40	2.15	8.19	7.97	-0.13	79.60	141.63	197.88	-0.05	-0.25
Point 5	48.07	151.25	0.40	1.60	8.08	7.88	0.00	95.12	113.99	153.26	0.10	-0.10
Point 6	74.00	221.70	0.30	2.45	8.39	7.96	0.01	84.31	165.85	245.36	-0.10	-0.30
Point 7	55.30	176.60	0.95	2.85	7.77	7.79	0.05	82.10	137.19	175.19	0.10	-0.15
Point 8	69.90	208.05	0.75	4.95	7.97	7.68	0.11	75.08	165.49	232.56	0.25	0.00
Point 9	60.91	184.95	0.25	1.95	8.39	7.88	0.02	93.08	136.68	202.16	0.05	-0.10
Point 10	60.20	189.65	0.50	2.15	8.08	7.95	0.01	76.93	137.96	199.16	0.30	0.00
Point 11	63.43	195.45	0.40	2.40	8.20	7.91	-0.06	78.77	136.48	210.12	0.00	-0.25
Point 12	63.57	193.45	0.45	2.40	8.15	7.91	-0.05	75.78	140.50	207.06	0.10	-0.60
Point 13	68.51	211.45	0.40	2.85	8.23	7.87	0.01	78.62	160.14	222.11	0.40	-0.55
Point 14	66.78	204.05	0.40	2.10	8.22	7.99	-0.02	74.36	148.21	220.63	0.30	-0.50
Point 15	81.30	185.95	0.45	2.35	8.13	7.90	0.05	81.25	137.90	205.02	0.00	-0.45
Point 16	68.70	208.75	0.35	1.90	8.29	8.04	-0.01	71.23	151.01	227.97	0.15	-0.30
Point 17	68.18	211.60	0.40	1.80	8.23	8.07	-0.08	71.10	148.38	223.84	0.30	-0.60
Point 18	63.92	197.50	0.40	1.65	8.20	8.08	-0.10	75.64	142.34	205.02	0.20	-0.35
Point 19	66.07	201.25	0.60	2.70	8.04	7.87	0.17	87.23	167.03	216.19	0.25	-0.40
Point 20	70.37	210.80	0.60	2.05	8.07	8.01	0.02	79.04	162.28	229.81	0.20	-0.30
平均値	65.37	200.01	0.51	2.47	8.13	7.92	0.01	80.00	149.79	214.59	0.15	-0.29
標準偏差σ	6.40	16.87	0.20	0.71	0.16	0.10	0.08	6.78	15.16	23.19	0.13	0.19

[0098]  
[Table 2]

P4+1型TFT測定結果 (SingleGate)

測定点	Ion_1(pA) (VD=1V) (VG=6V)	Ion_2(pA) (VD=5V) (VG=6V)	Ion_1(pA) (VD=1V) (VG=6V)	Ion_2(pA) (VD=5V) (VG=6V)	IonIoff1	IonIoff2	Vth(V) (VD=5V)	S-value (mV/dec) (VD=1V)	$\mu$ FE[cm <sup>2</sup> /Vs]		IG_on(pA) (VD=1V) (VG=5V)	IG_off(pA) (VD=1V) (VG=6V)
									(VD=1V) (VG=3V)	(VD=1V) (VG=6V) (max)		
Point 1	30.07	68.22	9.25	59.25	6.51	6.06	-1.11	86.55	118.32	119.60	0.10	0.00
Point 2	36.67	86.63	2.60	46.70	7.15	6.27	-0.93	89.24	131.38	137.90	0.05	-0.20
Point 3	36.60	85.97	2.90	73.25	7.10	6.07	-0.95	98.47	133.57	136.47	0.15	-0.10
Point 4	36.63	85.27	3.35	53.60	7.04	6.20	-0.98	87.55	137.19	140.00	0.05	-0.20
Point 5	35.30	79.59	3.25	39.40	7.04	6.31	-1.14	77.67	140.71	142.24	0.10	-0.20
Point 6	35.72	81.38	2.55	30.45	7.15	6.43	-1.08	73.81	141.07	141.78	0.10	-0.05
Point 7	34.37	77.74	5.50	73.60	6.80	6.02	-1.10	82.63	135.15	136.94	-0.05	-0.20
Point 8	40.70	100.42	10.20	107.25	6.60	5.97	-0.77	73.28	131.58	147.90	0.10	0.05
Point 9	40.70	100.61	4.90	45.00	6.92	6.35	-0.76	75.50	131.83	147.14	0.15	-0.25
Point 10	32.89	74.66	5.75	132.05	6.76	5.75	-1.10	84.48	127.76	129.80	0.15	0.05
Point 11	37.07	88.45	4.30	67.45	6.94	6.12	-0.87	76.54	130.05	137.45	0.40	-0.35
Point 12	30.52	68.83	1.65	37.55	7.27	6.26	-1.15	90.61	120.82	122.15	0.50	-0.30
Point 13	35.17	78.92	1.35	55.50	7.42	6.15	-1.15	85.88	143.51	143.82	0.40	-0.40
Point 14	32.07	72.71	1.80	96.40	7.25	6.30	-1.10	86.48	124.39	126.74	0.40	-0.45
Point 15	33.36	75.57	6.60	120.40	6.70	5.80	-1.10	84.30	131.58	132.65	0.40	-0.35
Point 16	32.29	75.10	3.50	47.90	6.96	6.20	-1.01	84.93	122.35	124.64	0.25	-0.35
Point 17	34.26	76.83	4.40	64.35	6.89	6.08	-1.14	83.28	141.58	141.58	0.65	-0.25
Point 18	31.01	69.91	5.40	253.39	6.76	5.44	-1.18	97.07	123.17	125.46	0.25	-0.50
Point 19	36.26	86.80	5.80	52.20	6.80	6.22	-0.89	79.86	126.53	134.64	0.40	-0.25
Point 20	37.60	93.11	2507.90	17345.00	4.18	3.73	-0.80	89.54	125.46	138.94	0.15	-0.30
平均値	34.96	81.34	129.65	937.03	6.81	5.99	-1.02	84.38	130.90	135.39	0.23	-0.23
標準偏差σ	3.00	9.49	559.79	3852.36	0.66	0.58	0.14	6.94	7.38	8.24	0.18	0.16

[0099] the point which should be noted especially in Table 1 and Table 2 -- a sub threshold level property (S value, S-value) -- 60 - 100 mV/dec, so that it is settled in between -- small -- mobility (micro FE, mobility) -- 150-300cm<sup>2</sup>/Vs \*\* -- it is very large so that it may say In addition, mobility means electric field effect mobility in this specification.

[0100] It is proving that such measurement data is the values which cannot be attained in the conventional TFT, and it is just very highly efficient TFT which is equal to MOSFET

which TFT by this invention produced on the single crystal.

[0101] Moreover, it is simultaneously checked by the acceleration deterioration test by measurement repeatedly that TFT by this invention is very strong to degradation. Although it has the fault that TFT which carries out high-speed operation experientially tends to deteriorate, TFT by this invention does not have degradation, either and it has become clear to have the very high proof-pressure property.

[0102] Moreover, in Table 1 and Table 2, the average and standard deviation ( $\sigma$  value) are also indicated as reference. Standard deviation is used as a scale of the distribution (variation) from the average. Supposing a measurement result (population) generally follows a normal distribution (Gaussian distribution), it is known that 99.7% will go into the inside of  $3\sigma$  in the inside of  $2\sigma$  95.4% 68.3% of the whole focusing on the average at the inside of  $3\sigma$ .

[0103] In order that this invention persons might evaluate distribution of the TFT property of this example to accuracy more, they measured 540 TFT and asked for the average and collimation deflection from the result. Consequently, the averages of S value were 80.5 mV/dec (n-ch) and 80.6 mV/dec (p-ch), and standard deviation was 5.8 (n-ch) and 11.5 (p-ch). moreover, mobility (max) the average -- 194.0cm<sup>2</sup>/Vs (n-ch) and 131.8cm<sup>2</sup>/Vs (p-ch) it is -- standard deviation was 38.5 (n-ch) and 10.2 (p-ch)

[0104] That is, a TFT property as shown below can be acquired in N channel type TFT using this invention.

- (1) The  $\sigma$  values of S value are 5 mV/dec preferably less than 10 mV/dec. It fits in less than.
- (2) Less than 80 $\pm$ 30 mV/dec of S value is preferably settled in less than 80 $\pm$ 15 mV/dec.

- (3) The  $\sigma$  value of  $\mu_{FE}$  is preferably settled within 35cm<sup>2</sup>/Vs less than 40cm<sup>2</sup>/Vs.

[0105] Moreover, a TFT property as shown below can be acquired in P channel type TFT using this invention.

- (1) Less than 15 mV/dec of  $\sigma$  values of S value is preferably settled in less than 10 mV/dec.
- (2) S value Less than 80 $\pm$ 45 mV/dec is preferably settled in less than 80 $\pm$ 30 mV/dec.
- (3) The  $\sigma$  value of  $\mu_{FE}$  is preferably settled within 10cm<sup>2</sup>/Vs less than 15cm<sup>2</sup>/Vs.

[0106] As mentioned above, TFT by this invention can constitute logical circuits which need high-speed operation, such as a complicated SRAM circuit, a complicated DRAM circuit, etc. which realize the extremely excellent electrical property and were produced on the single crystal until now and where only MOSFET was used.

[0107] Moreover, although this example has indicated only the example of a production process of TFT of single-gate structure, it is applicable also to TFT of multi-gate structure which has TFT of double-gate structure, and a gate electrode beyond it.

[0108] Moreover, this invention is realizable by raising the crystallinity of a barrier layer, and as long as thermal resistance allows, TFT structure can be carried out, without

asking.

[0109] [Knowledge about the crystal structure object acquired by this invention] The thing which is needlelike or the crystal structure object which becomes by the aggregate of a columnar crystal as [ the thing ] the crystalline silicon film obtained by this invention shown in drawing 10 was already described. Here, comparison with the crystal structure object by this invention and the crystal structure object formed by other methods is performed.

[0110] The photograph shown in drawing 11 is a transverse-electromagnetic photograph of the sample which completed even crystallization of an amorphous silicon film in the procedure of an example 1. That is, the crystal structure of the crystalline silicon film which omits heat-treatment containing a halogen is shown.

[0111] Many transposition defects (inside of the circle shown by 1101) exist in the interior of needlelike or the columnar crystal immediately after crystallization so that it can check in drawing 11 . However, with the transverse-electromagnetic photograph shown in drawing 10 , such a transposition defect is not checked inside a crystal, but it turns out that it has the beautiful crystal structure.

[0112] This thing serves as proof of heat-treatment in the atmosphere which contains a halogen in this invention having contributed to the crystalline improvement greatly.

[0113] Moreover, the crystal structure object shown in drawing 12 is an example in case this inventions shall differ the crystallization conditions of an amorphous silicon film. An amorphous silicon film is specifically crystallized by performing heat-treatment of 600 \*\*48 hours in nitrogen-gas-atmosphere mind, and thermal oxidation processing has been performed at the temperature of about 900-1100 degrees C.

[0114] As shown in drawing 12 , each crystal grain of the crystalline silicon film formed as mentioned above is large, and it is in the state where it was divided by the grain boundary distributed irregularly.

[0115] Crystal grain 1201 is in the state where it was surrounded by the irregular grain boundary 1202, in drawing 12 . Therefore, if the crystal structure object actually shown in drawing 12 is used as a barrier layer of TFT, the energy barrier produced by the irregular grain boundary 1202 will check movement of a carrier.

[0116] On the other hand, the crystal structure object as shown in drawing 10 is in the state where the grain boundary 1002 arranged with a certain amount of regularity, as [ show / in drawing 10 ]. Therefore, in the interior of a columnar crystal, it is thought that there is not needlelike or an energy barrier which checks movement of a carrier.

[0117] In addition, that this invention persons are needlelike or as a result of observing the array state of a columnar crystal by the about 10,000 to 50,000-time wide field of view, it is checked needlelike or that there is a case so that a columnar crystal may advance zigzag. A crystal growth is a phenomenon resulting from going in the direction stable in energy, and this is conjectured that a kind of grain boundary is formed in the part which crystal orientation converted.



[0118] However, it is being surmised that it is a thing like a twin crystal grain boundary with this grain boundary inactive in energy needlelike [ this invention persons ] that may be produced inside a columnar crystal. That is, although crystal orientation differs, I am the grain boundary continuously combined with sufficient adjustment, and think that it is a grain boundary (not substantially regarded as a grain boundary) used as an energy barrier to the extent that movement of a carrier is barred.

[0119] As mentioned above, since an irregular grain boundary is distributed so that it may have the crystal structure as shown in drawing 12 and movement of a carrier may be interrupted, the crystalline silicon film crystallized in the general process is difficult to attain high mobility.

[0120] However, when the crystalline silicon film by this invention had the crystal structure as shown in drawing 10 and the grain boundary has gathered in the outline 1 direction, the interior of a columnar crystal is considered that needlelike or the grain boundary which serves as an energy barrier substantially does not exist. That is, since a carrier becomes possible [ moving in the interior of a crystal ], without being prevented in any way, very high mobility can be attained.

[0121] The point that a columnar crystal should be observed is a point which is especially acquired by this invention and which is considered to grow up continuously the distance of dozens - no less than 100 micrometers of numbers, changing crystal orientation, avoiding needlelike or distortion resulting from irregularity, stress, etc.

[0122] If a guess of this invention persons is right, it can be said that the crystalline silicon film by this invention is a completely new crystal structure object which consists of the aggregates of a special crystal which grow without forming in the interior of a crystal the grain boundary which may serve as a carrier trap.

[0123] [Example 2] this example is an example which has by TFT shown in the example 1, and forms a CMOS circuit. A CMOS circuit is constituted combining N channel type TFT and P channel type TFT of structure as shown in the example 1 complementary.

[0124] One example of the production process of the CMOS circuit in this example is explained using drawing 5 and drawing 6. In addition, the application range of the crystalline silicon film formed of this invention is wide, and the method of forming a CMOS circuit is not what was restricted to this example.

[0125] According to the production procedure first shown in an example 1, the oxidization silicon film 502 is formed on the quartz substrate 501, and a crystalline silicon film (not shown) is obtained on it. And the barrier layer 503 of N channel type TFT and the barrier layer 504 of P channel type TFT are formed by carrying out patterning of it.

[0126] If barrier layers 503 and 504 are formed, the gate insulator layer 505 will be formed, and heat-treatment in the atmosphere which contains a halogen further is performed. Let processing conditions be the same things as an example 1 in this example. In this way, barrier layers 503 and 504 serve as a crystal structure object of this invention.

and the gate insulator layer 505 which has good membraneous quality and a good interface is formed.

[0127] Next, patterning of the aluminum film (not shown) which constitutes the prototype of a gate electrode behind is formed and carried out, and the patterns 506 and 507 of an aluminum film are formed (it leaves the resist mask which used after pattern formation for patterning).

[0128] In this way, the state of drawing 5 (A) is acquired. If the patterns 506 and 507 of an aluminum film are formed next, it will have on the same conditions as an example 1, and the porous oxide films on anode 508 and 509 will be formed in the side of the patterns 506 and 507 of an aluminum film. At this example, it is the thickness of the oxide films on anode 508 and 509 of this porosity 0.5 It is referred to as mum.

[0129] Furthermore, it has on the same conditions as an example 1, and the precise and firm oxide films on anode 510 and 511 are formed. However, in this example, attainment voltage is adjusted so that this thickness may become 700 \*\*. Moreover, the gate electrodes 512 and 513 demarcate according to this process. In this way, a state like drawing 5 (B) is acquired.

[0130] When the state of drawing 5 (B) is acquired, the gate insulator layer 505 is \*\*\*\*\*ed by the dry etching method. At this etching process, the oxide films on anode 508 and 509 of the shape of the gate electrodes 512 and 513 and porosity serve as a mask, and a gate insulator layer remains only directly under the. If the porosity-like oxide films on anode 508 and 509 are removed after etching, it will be in the state of drawing 5 (C).

[0131] Next, as P channel type TFT is covered, the resist mask 514 is formed, and P (Lynn) ion is doped as an impurity which gives N type. this doping -- acceleration voltage 50KeV and dose 0.1 - 5x10<sup>13</sup> atoms/cm<sup>2</sup> -- desirable -- 0.5 - 2x10<sup>13</sup> atoms/cm<sup>2</sup> It carries out.

[0132] Since acceleration voltage is comparatively high, this doping process passes the gate insulator layer which P ion exposed, and is driven in to a barrier layer 503. Consequently, P ion is added by the field shown by 515 and 516. (Drawing 5 (C))

[0133] Next, as shown in drawing 5 (D), P ion is poured in again. pouring of this P ion -- acceleration voltage 5KeV slight lowness -- setting up -- a dose -- 0.1 - 1x10<sup>15</sup> atoms/cm<sup>2</sup> -- desirable -- 2 - 5x10<sup>14</sup> atoms/cm<sup>2</sup> \*\* -- it carries out The fields 517 and 518 where P ion was added are formed in high concentration as a result of this process.

[0134] When the process shown in drawing 5 (D) is completed, the barrier layer of N channel type TFT is completed. That is, the source field 517 of N channel type TFT, the drain field 518, the low concentration impurity ranges (or LDD field) 519 and 520, and the channel formation field 521 demarcate.

[0135] Next, as shown in drawing 6 (A), the wrap resist mask 522 is formed for left-hand side N channel type TFT. And B (boron) ion is poured in as an impurity which gives P type in the state which shows in drawing 6 (A). Doping of this B ion as well as the case

of P ion is divided into 2 times, and is performed.

[0136] doping of B ion of the 1st time -- acceleration voltage 30KeV and dose 0.1 -  $5 \times 10^{14}$  atoms/cm<sup>2</sup> -- desirable -- 0.5 -  $2 \times 10^{14}$  atoms/cm<sup>2</sup> It considers as a grade. B ion is added by the field shown by 523 and 524 according to this process. (Drawing 6 (A))

[0137] the 2nd doping of B ion -- acceleration voltage 5KeV and dose 0.1 -  $1 \times 10^{15}$  atoms/cm<sup>2</sup> -- desirable -- 2 -  $5 \times 10^{14}$  atoms/cm<sup>2</sup> It considers as a grade. The fields 525 and 526 where B ion was added by high concentration according to this process are formed. (Drawing 6 (B))

[0138] The source field 525 of P channel type TFT, the drain field 526, the low concentration impurity ranges (or LDD field) 527 and 528, and the channel formation field 529 demarcate according to the above process.

[0139] Next, the resist mask 522 is removed after the end of the process shown in drawing 6 (B), and strong light, such as a laser beam or infrared light, and ultraviolet radiation, is irradiated all over a substrate. Activation of the impurity ion added by this process and the recovery of damage of the field where impurity ion was poured in are performed.

[0140] Next, the layer insulation film 530 is formed in thickness of 4000Å. Any of an oxidization silicon film, an oxidization silicon nitride film, a silicon nitride film, and an organic nature resin film are sufficient as the layer insulation film 530, and it is good also as multilayer structure. The membrane formation method of these insulator layers should just use a plasma CVD method, heat CVD, and the spin coat method.

[0141] Next, a contact hole is formed and the source electrode 531 of N channel type TFT and the source electrode 532 of P channel type TFT are formed. Moreover, a CMOS circuit is realized by considering the drain electrode 533 as composition which is shared between N channel type TFT and P channel type TFT. (Drawing 6 (C))

[0142] The CMOS circuit which becomes with the structure shown in drawing 6 (C) is producible through the above process. A CMOS circuit is an inverter circuit of the simplest composition, and the closed circuit which connected odd sets and formed the CMOS inverter circuit in series is called ring oscillator, and in case it evaluates the working speed of a semiconductor device, it is used.

[0143] The upper surface photograph shown in drawing 7 (A) here is the ring oscillator circuit constituted combining the CMOS circuit produced according to this example. This invention persons actually made active matrix liquid crystal display as an experiment using this invention, and checked the performance of the drive circuit of operation by the ring oscillator.

[0144] In addition, the gate electrode width of face of the CMOS circuit which constitutes the ring oscillator shown in drawing 7 (A) is about 0.6. It is as thin as mum, and the channel formation field has turned even into the grade which a short channel effect generates minutely, if it usually becomes.

[0145] Moreover, the photograph of a shift register circuit is shown in drawing 7 (B) as

reference. The shift register circuit shown in drawing 7 (B) is one of the important circuits which constitute the circumference drive circuit made as an experiment, and is a logical circuit which specifies the address of a pixel field. A drive on the very high frequency of several MHz - about dozens of MHz is required especially of the shift register circuit for horizontal scannings (for source sides) at the time of real operation. [0146] The oscillation frequency of a ring oscillator circuit was measured by the ring oscillator which connected 9 and 19 or 51 sets (stage) of CMOS circuits. With consequently, supply voltage 3-5V and nine steps of ring oscillators The oscillation frequency exceeding 500 MHz is obtained in 300MHz or more, and it became clear that a working speed is very quick.

[0147] These values mean having an about 20 times as many working speed as this compared with the ring oscillator produced at the conventional production process. Moreover, even if it shakes supply voltage in 1-5V, oscillation frequency of dozens - 100MHz of numbers is always realized.

[0148] As mentioned above, also in the situation that added value was unavoidably added on the circuit design, the CMOS circuit using this invention can carry out high-speed operation satisfactory, and has the performance which meets the demand of all logical circuits.

[0149] Furthermore, channel length is 0.6. TFT by this invention is hardly influenced by the short channel effect, but also having the high proof-pressure property of being able to be equal also to very high-speed operation as shown in this example, in spite of having turned into mum minutely extremely means having very high reliability.

[0150] [Guess drawn from the composition of this invention] As the example 1 and the example 2 showed, TFT produced according to this invention has realized the very high performance (a high-speed operation property, high proof-pressure property). Moreover, also experientially, the feature that it is strong to degradation can be called unique phenomenon, having such a high-speed operation property. Then, since TFT by this invention considered why it would excel even like this in degradation-proof nature and guessed one theory from there, this invention persons indicate below.

[0151] This invention persons thought as important the influence of the grain boundary or needlelike as a reason nil why pressure-proofing of TFT by this invention is high, or a columnar crystal. That is, this invention persons surmised that the grain boundary (expected as an oxide field) which exists in a channel formation field locally was easing effectively the high electric field especially built between a channel formation field and a drain field between a source field and a drain field.

[0152] I suppressed the electric field especially specifically formed of the depletion-layer charge in which the grain boundary spreads from a drain field, and thought that it was functioning so that diffusion potential by the side of the source may not be changed also in the state (state which the drain side depletion-layer charge increased) where drain voltage became high.

[0153] When the above was summarized and the crystalline silicon film by this invention is utilized for a barrier layer, it can be considered that the channel formation field is filling the following composition.

(1) a carrier moves -- a genuineness field (needlelike or interior of a columnar crystal) exists substantially (for a carrier)

(2) Or it suppresses movement of a carrier, the energy barrier which eases the electric field built in the direction of a channel (direction to which between a source-drain is connected) exists.

[0154] Therefore, it is thought that TFT of the outstanding property as this invention shows by considering as the composition which has the energy barrier with which the two above-mentioned composition is filled, and which was locally formed with the genuineness channel formation field substantially for a carrier can be produced if it puts in another way.

[0155] Although the above composition mixes some guesses and there is then, it is drawn from this invention persons' experimental data. then, this invention persons -- this composition -- artificial -- \*\*\*\*\* -- it was expected whether the same effect could be acquired by things

[0156] Consequently, this invention persons came to propose composition effective for suppression of a short channel effect. Here, the outline is indicated below. In addition, the consideration indicated below stops at the range of guessed in the present condition.

[0157] Short channel effects are general terms, such as degradation of the pressure-proofing accompanying the fall of threshold voltage, and a punch-through phenomenon, and degradation of a sub threshold level property. The punch-through phenomenon which poses especially a problem is a phenomenon in which the diffusion potential by the side of the source falls because the depletion layer by the side of a drain spreads even to a source field, and penetration current flows between the source/drain.

[0158] Then, this invention persons observe the effect of the grain boundary of this invention, and channel length is 0.01-2. In the short channel TFT which is mum grade, it is preparing an impurity range artificially and locally to a channel formation field, and it was surmised that the effect which suppresses the breadth of the depletion layer by the side of a drain was acquired.

[0159] It is thought that such composition can be attained by considering as composition as shows a barrier layer to drawing 8. In drawing 8 (A), as for a source field and 802, 801 is [ a drain field and 803 ] channel formation fields, and an impurity range 804 is artificially formed into the channel formation field 803. Moreover, among the channel formation field 803, fields 805 other than impurity-range 804 are genuineness fields substantially, and turn into a field where a carrier moves.

[0160] The point which is the structure which imitated the crystal structure object of this invention shown in drawing 10 is important for the structure shown in drawing 8 (A) here. That is, the grain boundary shown by 1001 of drawing 10 is equivalent to the

impurity range 804 of drawing 8 (A), and a columnar crystal is equivalent to that drawing 10 is needlelike or the field 805 to which the carrier of drawing 8 (A) moves.

[0161] Therefore, the impurity range 804 arranged in the channel formation field 803 forms locally the field where built-in potential (it can also be called an energy barrier) is large in a channel formation field, and can be conjectured to suppress the breadth of a drain side depletion layer effectively by the energy barrier.

[0162] Moreover, the cross section which cut drawing 8 (A) by A-A' is shown in drawing 3 (B). 806 is a substrate which has an insulating front face. Moreover, the cross section which cut drawing 8 (A) by B-B' is shown in drawing 8 (C).

[0163] In addition, in drawing 8 (C), wpi and n express the width of face of an impurity range 804, and wpa and m express the width of face of the field where a carrier moves. n and m mean that it is the field where wpi and n are the width of face of the n-th impurity range, and the m-th carrier moves [ wpa and m ] into the channel formation field 803 here.

[0164] Therefore, the actual electric field effect mobility of TFT by this invention must substitute the efficiency-channel width Wpa (total which added m to wpa, 1-m) for the theoretical formula showing in the following formula.

[0165]

$\mu_{FE} = 1/Cox (\Delta I_d / \Delta V_g)$  and  $1/V_d - L/W$  -- for Cox, gate oxide-film capacity, and  $\Delta I_d$  and  $\Delta V_g$  are [ drain voltage, and L and W of the variation of drain current  $I_d$  and a gate voltage  $V_g$  and  $V_d$  ] channel length and channel width here, respectively

[0166] However, since it is actually impossible to measure the efficiency-channel width Wpa, the electric field effect mobility in this specification is substituting and calculating the design value W of channel width. That is, it is thought that the value smaller than actual mobility is acquired.

[0167] Moreover, it is expected that preparing by arrangement as shows an impurity range to drawing 8 (A) has a very big meaning to improvement in mobility. The reason is explained below.

[0168] Mobility (micro FE) Although decided by dispersion of the carrier in a semiconductor film (here, a silicon film is taken for an example), dispersion in a silicon film is divided roughly into lattice scattering and impurity scattering. The overall mobility  $\mu$  in which these influence for each other and are formed is expressed with the following formula.

[0169]

Equation 1]

$$\mu = (1/\mu_l + 1/\mu_i)^{-1}$$

[0170] The formula shown by this several 1 is mobility  $\mu_l$  (l means lattice) when the overall mobility  $\mu$  is influenced of lattice scattering. Mobility  $\mu_i$  at the time of being influenced of the inverse number and impurity scattering (i means impurity) It means that

it is in inverse proportion to the sum of the inverse number. Moreover, lattice scattering and impurity scattering are respectively expressed with the following formula.

[0171]

[Equation 2]

$$\mu_i \propto (m^*)^{-5/2} T^{-3/2}$$

[0172]

[Equation 3]

$$\mu_i \propto (m^*)^{-1/2} N_i^{-1} T^{3/2}$$

[0173] According to these formulas, after the impurity has been uniformly added by the whole channel formation field, mobility cannot be earned in response to the influence of impurity scattering. However, since the impurity range is formed locally in composition of being shown in drawing 12, an impurity is not added by the field to which a carrier moves, but it is genuineness substantially for a carrier.

[0174] That is, it is the concentration nickel of the impurity theoretically ionized in several 3. Since it means bringing close to 0 infinite, it is mobility  $\mu_i$ . It will approach infinitely infinite. That is, it sets to several 1 and is  $1/\mu_i$ . Since it means decreasing an impurity even to the grade which can disregard a term, the whole mobility  $\mu$  is mobility  $\mu_i$  infinite. It is surmised that it approaches.

[0175] Moreover, it is important to be arranged so that an impurity range 804 may serve as the direction of a channel and outline parallel in drawing 8 (A). When [ for which such arrangement was shown in drawing 10 ] needlelike or the direction where the grain boundary of a columnar crystal is prolonged, and the direction of a channel are in agreement, it corresponds.

[0176] It is surmised that a role like a rail specifies the move direction on a carrier sure enough, without capturing a carrier, since it is expected that an impurity range 804 is served as "the benign grain boundary" when it considers as such arrangement. This is composition very important when reducing the influence of dispersion by the collision of carriers.

[0177] Moreover, it is expected that the fall of the threshold voltage which is one of the short channel effects can also be suppressed by considering as the above composition. This is anticipation based on reasoning that it is possible to cause artificially the narrow channel effect produced when channel width becomes extremely narrow between impurity ranges.

[0178] Moreover, although it is thought possible to suppress a punch-through phenomenon by suppressing the breadth of a drain side depletion layer as mentioned above, improvement in a sub threshold level property (S value) can also be desired with improvement in pressure-proofing by suppressing a punch-through phenomenon.

[0179] The improvement in a sub threshold level property can be explained as follows from reasoning that the volume which a drain side depletion layer occupies is reducible by using this composition.

[0180] If the breadth of a depletion layer is effectively suppressed when it considers as the composition shown by drawing 8 (A), it will be possible to reduce sharply the volume which a drain side depletion layer occupies, and it will be \*\*\*\*\*. Therefore, since a synthetic depletion-layer charge can be made small, it is thought that a depletion layer capacitance can be made small. Here, the formula which derives S value is expressed with the following approximation.

[0181]

[Equation 4]

$$S \approx \ln 10 \cdot kT/q [1 + (C_d + C_{it})/C_{ox}]$$

[0182] Setting to several 4, for a Boltzmann's constant and T, absolute temperature and q are [ k ] the amount of charges, and C<sub>d</sub>. The equivalent capacity of interface level and C<sub>ox</sub> of a depletion layer capacitance and C<sub>it</sub> are gate oxide-film capacity. Therefore, by this composition, it is a depletion layer capacitance C<sub>d</sub>. The ideal state set to C<sub>d</sub> = C<sub>it</sub> = 0 by reaching and bringing the equivalent capacity C<sub>it</sub> of interface level close to 0 as much as possible, i.e., S value, is 60 mV/decade. The becoming semiconductor device may be realizable.

[0183] However, the formulas shown in several 4 are 60 mV/decade, without being an approximation for deriving S value and following this approximation in TFT. The following measured value may be obtained.

[0184] By the way, with this composition guessed from this invention, you may use nitrogen and carbon as an impurity range equivalent to the grain boundary of this invention in addition to oxygen. This is because it is in the purpose of this composition arranging an energy barrier artificially to a channel formation field.

[0185] Therefore, if it thinks from a viewpoint of forming an energy barrier, it can be said that there is also an impurity range with a conductivity type contrary to the conductivity type of an inversion layer about an effect. That is, if it is an N channel type semiconductor device and is a P channel type semiconductor device about B ion, it can be said that what is necessary is just to form an impurity range using P ion.

[0186] Moreover, when it constitutes an impurity range from P or B ion, it is also possible to perform threshold control directly by the concentration of the impurity ion to add.

[0187] As mentioned above, this composition is the technology drawn by the guess of this invention persons based on the composition and the experiment fact of invention which are indicated on these specifications. It is surmised that the short channel effect from which channel length poses a problem with the semiconductor device of a very short deep submicron field can be effectively suppressed by carrying out this



composition.

[0188] [Example 3] By this example, another example of a process is indicated to be the production process shown in the example 1. Before specifically forming a barrier layer, heat-treatment in the atmosphere which contains a halogen to a crystalline silicon film is given, and gettering removal of the nickel is carried out.

[0189] It is possible to reduce the nickel concentration in a barrier layer still more effectively by combining with an example 1 the process shown in this example.

[0190] Moreover, in order that the thickness of a crystalline silicon film may decrease by heat-treatment exceeding 700 \*\*, there is an effect which makes a barrier layer thin. If thickness becomes thin, effects, such as improvement in mobility and reduction of the OFF state current, are expectable.

[0191] [Example 4] By this example, another example of a process is indicated to be the production process shown in the example 1. Heat-treatment in the atmosphere which specifically contains a halogen in an example 1 immediately after skipping the process which forms the gate insulator layer 111, and forming a barrier layer is given.

[0192] Membraneous quality is improvable by annealing in nitrogen-gas-atmosphere mind like an example 1 to the thermal oxidation film formed at this time. In this case, it is possible to constitute a gate insulator layer only from such a thermal oxidation film. Moreover, the thickness of a thermal oxidation film can be formed in 100-1500Å (typically 500-1000Å) by adjusting the conditions of heat-treatment.

[0193] The feature is [ the point which can produce the possible semiconductor device of high-speed operation if a gate insulator layer is constituted only from a thermal oxidation film, and ] that it can simplify the membrane formation process of a gate insulator layer. However, it is difficult to form thickness uniformly in many cases.

[0194] Moreover, it is also possible to deposit an insulator layer by the gaseous-phase method on the thermal oxidation film formed at the above-mentioned process, and to consider as a gate insulator layer with those cascade screens. In this case, although gate pressure-proofing improves, it is important to make pure the interface of a thermal oxidation film and the film by the gaseous-phase method.

[0195] Moreover, the above-mentioned process can be regarded as a removal process of a metallic element (especially nickel), the thermal oxidation film formed at the above-mentioned process can be removed, a thermal oxidation film can be formed again, and it can also consider as a gate insulator layer. Moreover, after removing a thermal oxidation film, a gate insulator layer can also be formed by the gaseous-phase method on a barrier layer. In this case, although it is possible to reduce the concentration of the excessive impurity which exists in the interface of a barrier layer and a gate insulator layer, it must be cautious of the cleanliness on the front face of a barrier layer.

[0196] [Example 5] this example explains the example which applied TFT which applied and produced this invention to DRAM (Dynamic Random Access Memory) and SRAM (Static Random Access Memory). Suppose that drawing 13 is used for explanation.

[0197] DRAM is the memory of the form stored in a capacitor by making the information to memorize into a charge. Receipts and payments of the charge as information on a capacitor are controlled by TFT connected to the capacitor in series. The circuit of TFT which constitutes one memory cell of DRAM, and a capacitor is shown in drawing 13 (A).

[0198] If a gate signal can be given by the word line 1301, TFT shown by 1303 will be in switch-on. A charge is charged by the capacitor 1304 from a bit line 1302 side in this state, information is read, or a charge is taken out from the charged capacitor and information is read. That is, it will have a function as a storage element by writing in the charge accumulated at this capacitor by TFT, or reading it.

[0199] The feature of DRAM is suitable for constituting the large-scale memory of high accumulation density, since there are very few element numbers which constitute one memory only by TFT and the capacitor. Moreover, since a price is also held down low, it is used present in large quantities.

[0200] Moreover, since a storage capacitance can be small set up as a feature at the time of forming a DRAM cell using TFT, operation by the low battery can be enabled.

[0201] Next, the SRAM circuit using high resistance as a passive load element is shown in drawing 13 (B). In addition, it is also possible to take the SRAM structure of substituting TFT for the same function as a passive load element.

[0202] SRAM is the memory which used bistable circuits, such as a flip-flop, for the storage element, and memorizes a binary information value (0 or 1) corresponding to two stable states of ON-OFF of a bistable circuit, or OFF-ON. As long as there is supply of a power supply, it is advantageous at the point that storage is held.

[0203] A word line is shown by 1305 and 1306 is a bit line. 1307 is a load element which consists of high resistance, and SRAM consists of 2 sets of access transistors as indicated to be 2 sets of driver transistors as shown by 1308 by 1309.

[0204] The feature of SRAM which becomes with the above composition is that high-speed operation is possible and the lump by the system to construct is [ it is reliable and ] easy etc.

[0205] [Example 6] The example which constitutes the active-matrix type electro-optics equipment which integrated the pixel matrix circuit and the logical circuit on the same base using the semiconductor device of an example 1 and the CMOS circuit of an example 2 from this example is shown. As electro-optics equipment, a liquid crystal display, EL display, EC display, etc. are contained.

[0206] In addition, a logical circuit points out the integration circuit for driving electro-optics equipment like a circumference drive circuit or a control circuit. In active-matrix type electro-optics equipment, although there were also a limitation of a performance of operation and a problem of a degree of integration and external IC of the logical circuit was common, it becomes possible to unify all on the same substrate by using TFT of this invention.

[0207] Moreover, with a control circuit, all electrical circuits required to drive electro-optics equipments, such as a processor circuit, a memory circuit, a clock generation circuit, and a A/D (D/A) converter circuit, shall be included. Of course, the SRAM circuit and DRAM circuit which were shown in the examples 5 and 6 are included in a memory circuit.

[0208] If invention indicated on these specifications is used for such composition, it can have by TFT which has the performance which is equal to MOSFET formed on the single crystal, and a logical circuit can be constituted.

[0209] [Example 7] this example shows the example which produces TFT of different structure from an example 1. Drawing 14 is used for explanation.

[0210] First, the state which shows in drawing 2 (B) through the same process as an example 1 is acquired. If the state which shows in drawing 2 (B) is acquired, the resist mask which was used for patterning of an aluminum film and which is not illustrated will be removed, anodizing will be performed in a tartaric acid after that, and an oxide film on anode with the precise thickness of 1000A will be obtained. This state is shown in drawing 14 (A).

[0211] As for 101, in drawing 14 (A), a quartz substrate and 102 are thermal oxidation films on which a ground film and 110 function on a barrier layer, and 111 functions as a gate insulator layer later. Moreover, the gate electrode which becomes with the material to which 1401 makes aluminum a principal component, and 1402 are the precise oxide films on anode which anodized the gate electrode 1401 and were obtained.

[0212] Next, the impurity ion which gives 1 conductivity to a barrier layer 110 in this state is poured in. And impurity ranges 1403 and 1404 are formed of this ion-implantation process.

[0213] When pouring of impurity ion is completed, it is about a silicon nitride film 1405. 0.5-1 Membranes are formed in the thickness of  $\mu\text{m}$ . The membrane formation methods may be any of reduced pressure heat CVD, a plasma CVD method, and a spatter.

Moreover, you may use an oxidization silicon film in addition to a silicon nitride film.

[0214] In this way, the state of drawing 14 (B) is acquired. If the state of drawing 14 (B) is acquired, next, it will \*\*\*\*\* by the etchback method and will leave a silicon nitride film 1405 only to the side attachment wall of the gate electrode 1401. In this way, the left-behind silicon nitride film functions as a sidewall 1406.

[0215] Under the present circumstances, the thermal oxidation film 111 remains in the state where it is removed except the field where the gate electrode became a mask, and is shown in drawing 14 (C).

[0216] Impurity ion is again poured in in the state which shows in drawing 14 (C). At this time, the dose presupposes that it is higher than the dose of a previous ion implantation. Since, as for the fields [ directly under ] 1407 and 1408 of a sidewall 1406, an ion implantation is not performed in the case of this ion implantation, it is changeless to the concentration of impurity ion. However, the impurity ion of further high concentration

[ fields / which were exposed / 1409 and 1410 ] will be poured in.

[0217] The low low concentration impurity ranges (LDD field) 1407 and 1408 of high impurity concentration are formed through the 2nd ion implantation rather than the source field 1409, the drain field 1410, and the source / drain field as mentioned above. In addition, it is a field [ \*\*\*\*\* ] directly under the gate electrode 1401, and it serves as the channel formation field 1411.

[0218] When the state of drawing 14 (C) is acquired through the above process, the titanium film which the thickness of 300 \*\* does not illustrate is formed, and a titanium film and a silicon (crystalline silicon) film are made to react. And after removing a titanium film, titanium silicide 1412 and 1413 is formed in the front face of the source field 1409 and the drain field 1410 by performing heat-treatment by lamp annealing etc. (Drawing 14 (D))

[0219] In addition, the above-mentioned process can also use a tantalum film, a tungsten film, a molybdenum film, etc. instead of a titanium film.

[0220] Next, an oxidization silicon film is formed in thickness of 5000A as a layer insulation film 1414, and the source electrode 1415 and the drain electrode 1416 are formed. In this way, TFT of the structure shown in drawing 14 (D) is completed.

[0221] Since the source / drain electrode connects with the source / drain field through titanium silicide 1412 and 1413, TFT of the structure shown by this example can realize a good ohmic contact.

[0222] [Example 8] this example shows the example which produces TFT of different structure from an example 1 or an example 7. Drawing 15 is used for explanation.

[0223] First, the state which shows in drawing 2 (B) through the same process as an example 1 is acquired. However, suppose that the crystalline silicon film which gave conductivity as a material of a gate electrode is used in this example. This state is shown in drawing 15 (A).

[0224] As for 101, in drawing 15 (A), a quartz substrate and 102 are thermal oxidation films on which a ground film and 110 function on a barrier layer, and 111 functions as a gate insulator layer later. Moreover, 1501 is a gate electrode which becomes by the crystalline silicon film (polysilicon contest film).

[0225] Next, the impurity ion which gives 1 conductivity to a barrier layer 110 in this state is poured in. And impurity ranges 1502 and 1503 are formed of this ion-implantation process. (Drawing 15 (B))

[0226] If pouring of impurity ion is completed, a sidewall 1504 will be formed using the etchback method like an example 7.

[0227] And if a sidewall 1504 is formed, impurity ion will be poured in again. The source field 1507, the drain field 1508, the low concentration impurity ranges (LDD field) 1505 and 1506, and the channel formation field 1509 are formed through the above two ion implantations.

[0228] When the state of drawing 15 (C) is acquired through the above process, the

tungsten film which the thickness of 500 \*\* does not illustrate is formed, and a tungsten film and a silicon film are made to react. And after removing a tungsten film, tungsten silicide 1510-1512 is formed in the front face of the gate electrode 1501, the source field 1507, and drain field 1508\*\* by performing heat-treatment by lamp annealing etc.

(Drawing 15 (D))

[0229] Next, a silicon nitride film is formed in thickness of 4000A as a layer insulation film 1513, and the source electrode 1514 and the drain electrode 1515 are formed. In this way, TFT of the structure shown in drawing 15 (D) is completed.

[0230] Since a gate electrode, and the source / drain electrode take out through tungsten silicide 1510-1512 and connects with an electrode, TFT of the structure shown by this example can realize a good ohmic contact.

[0231] [Example 9] this example shows an example of the electro-optics equipment (display) incorporating the semiconductor device using this invention. In addition, what is necessary is just to use electro-optics equipment with a direct viewing type or a projected type if needed. Moreover, since it is considered the equipment on which electro-optics equipment also functions using a semiconductor, with the electro-optics equipment in this specification, it shall be contained under the category of a semiconductor device.

[0232] Moreover, as an application product of the semiconductor device using this invention, a TV camera, a head mount display, car navigation, a projection (there are a front type and a rear mold); a video camera, a personal computer, etc. are mentioned. An easy example of these application use is performed using drawing 16.

[0233] Drawing 16 (A) is a TV camera and consists of a main part 2001, the camera section 2002, display 2003, and an operation switch 2004. Display 2003 is used as a view finder.

[0234] Drawing 16 (B) is a head mount display, and consists of a main part 2101, display 2102, and the band section 2103. Two things of size with comparatively small display 2102 are used.

[0235] Drawing 16 (C) is car navigation and consists of a main part 2201, display 2202, an operation switch 2203, and an antenna 2204. Although display 2202 is used as a monitor, since the displays of a map are the main purposes, it can be said that the tolerance of resolution is comparatively wide.

[0236] Drawing 16 (D) is a Personal Digital Assistant device (this example cellular phone), and consists of a main part 2301, the voice output section 2302, the voice input section 2303, display 2304, an operation button 2305, and an antenna 2306. To display 2303, it is expected that animation display will be required as a TV telephone in the future.

[0237] Drawing 16 (E) is a video camera and consists of a main part 2401, display 2402, an eye contacting part 2403, an operation switch 2404, and a tape electrode holder 2405. Since the photography picture projected on display 2402 can be seen on real time through

an eye contacting part 2403, the photography of a user while looking at a picture is attained.

[0238] Drawing 16 (D) is a front projection and consists of a main part 2501, the light source 2502, reflected type display 2503, optical system (a beam splitter, a polarizer, etc. are contained) 2504, and a screen 2505. Since a screen 2505 is a big screen screen used for presentations, such as a meeting and a society announcement, resolution with expensive display 2503 is required.

[0239] Moreover, it is applicable to personal digital assistant devices, such as a rear projection, and a mobile computer, a handy terminal, besides the electro-optics equipment shown in this example. As mentioned above, the application range of this invention is very wide, and applying to the display medium of all fields is possible.

[0240] Moreover, not only electro-optics equipment but TFT of this invention can be used as a drive circuit of an application product as built into an integration circuit in forms, such as SRAM and DRAM, and shown by this example.

[0241]

[Effect of the Invention] According to invention indicated on these specifications, TFT with the high performance which is equal to MOSFET produced on single crystal silicon is realizable. Moreover, compared with the ring oscillator which consisted of conventional TFT, 20 times as many high-speed operation as this is possible for the ring oscillator constituted from TFT of this invention.

[0242] Furthermore, in spite of having such a high property, channel length has the very high proof-pressure property also in the detailed field of 1 micrometer or less, and it can check that the short channel effect is suppressed effectively.

[0243] By applying the integration circuit constituted using the above TFT to electro-optics equipment, the further highly efficient-ization of electro-optics equipment is realizable. moreover, the application product adapting electro-optics equipment -- high performance -- high added value can be formed

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**